一种低时延频率捷变CORDIC优化算法

李铁虎，曾　军，黄锦涛，郭超东，张　伟，张俊安
（重庆理工大学 两江人工智能学院，重庆 401135）

摘　要： 提出了一种基于小容量只读存储器和少数位比特检测的改进CORDIC算法。在相位幅度模块和相位累加器的设计中，通过消除角度旋转器的判断，采用角度二进制到双极重编码的方法减少了剩余角度计算。此外，利用偏移预旋转简化了比例因子的计算，并通过少数位比特算法减少了旋转次数和系统时延。基于该算法实现的直接数字频率合成器（DDS）可以产生32种不同的正弦输出信号，正弦波的精度误差低于1.4×10^{-6}。与传统CORDIC算法相比，提出的算法在功耗、资源利用率、频率分辨率和面积等方面都有改善，SFDR达到约86.2 dBc。基于ALINX AXU15EG平台的仿真试验结果表明，该电路结构的输出时延不超过20 ns，比其他CORDIC算法结构更快，且占用面积资源更少。

关键词： CORDIC；DDS；频率选择；二进制到双极重编码；少数比特检测
中图分类号：TN74　　**文献标志码：**A　　**文章编号：**1004-3365(2025)06-1043-06
DOI：10.13911/j.cnki.1004-3365.250004

A Low Latency Frequency Agile CORDIC Optimization Algorithm

LI Tiehu, ZENG Jun, HUANG Jintao, GUO Chaodong, ZHANG Wei, ZHANG Jun′an
(*School of Artificial Intelligence, Chongqing University of Technology, Chongqing* 401135, *P. R. China*)

Abstract: An improved COordinate Rotation DIgital Computer (CORDIC) algorithm based on a small-capacity read-only memory and detection of a few-bit positions detection is presentedproposed. In the design of the phase-amplitude module and phase accumulator, the angle- rotator judgment is was eliminated, and the method ofa binary-to-bipolar re-encoding method for the angle iswas used to reduce the residual angle calculations. Additionally, offset pre-rotation is was utilized employed to simplify the calculation of scale factors computation, and the number of rotations and system delay is were minimizedreduced by throughusing a few-bit detection algorithm. A direct digital frequency synthesizer (DDS) implemented based onusing this algorithm can generate 32 different distinct sine wave outputs, with a sine wave precision error less thanbelow 1.4×10^{-6}. Compared with traditional CORDIC algorithms, the proposed algorithm method improveds power consumption, resource utilization, frequency resolution and area, achieving an spurious-free dynamic range (SFDR) of approximately 86.2 dBc. Experimental results based on the ALINX AXU15EG FPGA platform show demonstrated that the output delay of this circuit structure didoes not exceed 20 ns, making itconfirming that the proposed design is faster and occupiesying fewer less area resources than other conventional CORDIC algorithm structures.

Key words: CORDIC; DDS; frequency selection; binary to bipolar recoding; few-bit detection

收稿日期：2025-01-03；**定稿日期：**2025-05-19
基金项目：重庆市教委科学技术研究项目（KJQN202501106）；重庆理工大学研究生教育高质量发展行动计划（gzltd202403，gzljg2023309，gzlcx20243566，gzlcx20253414）
作者简介：李铁虎（1986—），男（汉族），河南罗山人，博士，副教授，研究方向为数模混合信号集成电路设计。
张俊安（1981—），男（汉族），陕西白水人，博士，副教授，研究方向为模拟集成电路设计和智能硬件设计。通信作者。

0 引 言

直接数字合成(Direct Digital Synthesis,DDS)是一种先进的信号合成技术,广泛应用于通信、雷达、测试与测量等领域。DDS通过数字控制方式产生精确、稳定的波形信号,具有频率分辨率高、相位噪声低和频率切换速度快的显著优点[1]。与传统模拟振荡器相比,DDS不依赖物理元件特性,因而能够实现更灵活的频率控制和更高的频率精度。此外,DDS系统可以轻松实现复杂的调制方式,如相位调制(PM)和频率调制(FM),在现代数字信号处理系统中占据着重要地位。由于其硬件实现相对简单、功耗较低,DDS特别适用于嵌入式系统和其他对成本和功耗敏感的应用场景[2]。在当前高性能、高精度的电子系统中,DDS已经成为生成各种稳定波形和精确频率信号的首选方案[3]。

实现DDS相-幅转换模块的主要方法有查找表法[4]、泰勒级数求值法[5]、多项式逼近[6]、角度旋转算法CORDIC[7]等。现在主要采用的CORDIC算法是由J. Volder提出,该算法提高了计算精度,而且有效降低了传统高精度DDS的存储资源消耗,提高了工作速度。虽然CORDIC算法实现简单,但是精度的提高与迭代次数有关系,导致输出时延变长,电路结构的复杂度也变高。

传统CORDIC算法的主要缺点包括频率生成单一,难以满足多种频率输出需求,收敛速度较慢,高精度计算时需要大量迭代,精度受限于迭代次数,无法处理任意角度旋转,对初始条件的依赖以及特殊情况需要额外处理等[8]。针对上述问题,本文通过增加频率选择器可以提高系统的灵活性和功能性,生成不同频率的输出信号,满足多种应用需求;使用二进制到双极重编码进行角度与弧度转换,消除角度累加模块[9];在迭代过程使用少数位比特算法减少迭代次数,加快收敛速度,减少逻辑资源的使用。

文章第1节介绍CORDIC算法的架构与基本概念;第2节介绍本文提出的改进CORDIC算法;第3节展示了仿真与硬件实现效果;第4节给出结论。

1 CORDIC算法简介

二维坐标系中的初始坐标(x,y)逆时针旋转后得到(x',y'),通过如图1笛卡尔坐标系很容易推导出向量旋转满足:

$$\begin{cases} x' = x\cos\theta + y\sin\theta \\ y' = y\cos\theta - x\sin\theta \end{cases} \tag{1}$$

上式中:x与y分别表示二维平面中矢量的横坐标与纵坐标,x'与y'是按照旋转角度θ旋转后的新坐标。

点(x',y')的水平和垂直坐标可由前一点表示。这使得正弦值可以通过二分法来计算。CORDIC算法进一步基于旋转角度改进二分迭代法,使其更适合电路运行。通过提取余弦$\cos\theta$,可将式(1)表示为以下形式:

$$\begin{cases} x' = \cos\theta(x + y\tan\theta) \\ y' = \cos\theta(y - x\tan\theta) \end{cases} \tag{2}$$

在迭代计算中需要判断旋转的方向,因此可以将迭代的形式转换为:

$$\begin{cases} x'_{n+1} = x_n - d_n 2^{-n} y_n \\ y'_{n+1} = y_n + d_n 2^{-n} x_n \\ z_{n+1} = z_n - d_n\theta_n \end{cases} \tag{3}$$

CORDIC的核心思想是通过一系列小角度的旋转逐步逼近目标角度。每次旋转的角度取自预定义的角度值序列,这些值可以提前计算好并存储在查找表中[10]。在每次迭代中,根据当前的角度z_n与目标角度之间的差异,决定旋转的方向d_n,从而逐步调整向量的方向[11]。

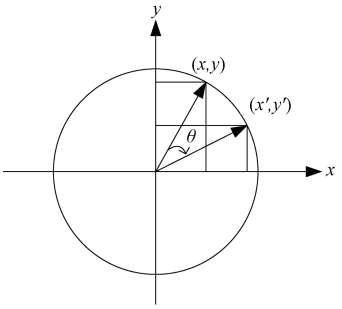

图1 坐标旋转图

2 改进的CORDIC算法

通过双极重编码和少数位比特算法,实现了迭代次数的减少和输出时延的降低。本文的少数位比特算法结构具有较快的迭代速度和跳频特性,能够生成不同频率的正弦输出信号,从而满足不同领域的信号需求[12]。

2.1 相位累加器模块

相位累加器模块:此模块是由5位频率选择器组成。频率选择器通过选择适当的频率控制字来调

节输出频率。在该设计中,采用32位频率控制字,其中包含17位的调谐字,作为相位增量。

相位增量的值决定了相位累加器每个时钟周期增加的步长,确保能够为相位累加器提供足够的频率分辨率。相位累加器的作用是将相位增量不断累加,模拟出从0°到360°的相位变化,每个时钟周期累加一个对应的相位增量。通过选择不同的频率控制字,DDS可以产生不同频率的信号。在每个时钟周期,相位累加器的值都会在2^N范围内循环变化,从而表示一个完整的正弦波周期中的角度变化。这个设计提供了足够的频率分辨率,确保输出频率的精度,如图2所示。

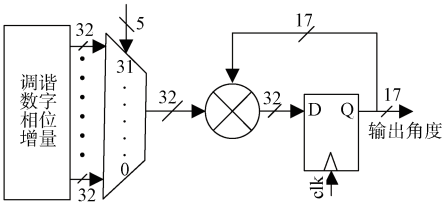

图2　相位累加器模块

频率增量的设定使得相位累加器能够精确表示0°到360°范围内的相位变化,适用于生成高精度的信号波形,以覆盖100 Hz到100 MHz的DDS输出频率范围。

2.2　角度二进制重编码

相位累加器输出角度θ的计算范围应在[0,π/4]范围内,把[0, π/4]范围的角度通过高3位的转换映射为[0,2π]之间的角度,如表1所示。

传统CORDIC算法计算旋转角度的残余角的资源占总共结构资源的1/3,而且每一次旋转都取决于上一次旋转的判断标志,影响结构的计算速度。为解决剩余角度带来的高资源与高时延的问题[8],考虑按[0,π/4]范围的角度进行弧度制转换。在传统的CORDIC算法中,每次旋转都需要判定剩余角度旋转的符号,其实相位字本身可以用弧度二进制表示而不是角度二进制表示,因此可以消除符号判断操作,相位累加器的角度输出为:

$$\theta=\sum_{i=0}^{N-1}\theta_i \tag{4}$$

长度修正因子与所有旋转角度有关,但旋转角度的不确定性给比例因子的计算带来困难[9]。为简化比例因子的计算,定义$r_n=2b_n-1$,由式(4)可知:

$$\theta=2^{-1}-2^{-(N+1)}+\sum_{n=2}^{N+1}r_{n-1}2^{-n} \tag{5}$$

这里$2^{-1}-2^{-(N+1)}$为偏移预旋转量,$r_n=\{-1,1\}$。经过角度重编码后,向量的旋转方向直接由θ的二进制比特表示,由迭代式(1)可得:

$$\begin{bmatrix}x'\\y'\end{bmatrix}=\begin{bmatrix}\cos\theta & -\sin\theta\\ \sin\theta & \cos\theta\end{bmatrix}\begin{bmatrix}x\\y\end{bmatrix}=$$
$$\sum_{n=1}^{N}\cos\theta_n\sum_{n=1}^{N}\begin{bmatrix}1 & -\tan\theta\\ \tan\theta & 1\end{bmatrix}\begin{bmatrix}x\\y\end{bmatrix}=$$
$$\sum_{n=1}^{N}\cos\theta_n\sum_{n=1}^{N}\begin{bmatrix}1 & -b_n\tan\theta\\ b_n\tan\theta & 1\end{bmatrix}\begin{bmatrix}x\\y\end{bmatrix} \tag{6}$$

这种转换简化了符号判断,消除了处理正负角度时的复杂性。

表1　角度折叠图

区间	θ范围	θ'	$\sin\theta'$	$\cos\theta'$
1	[0, π/4)	θ	$\sin\theta$	$\cos\theta$
2	[π/4,π/2)	$\pi/2-\theta$	$\cos\theta$	$\sin\theta$
3	[π/2,3π/4)	$\theta-\pi/2$	$\cos\theta$	$-\sin\theta$
4	[3π/4,π)	$\pi-\theta$	$\sin\theta$	$-\cos\theta$
5	[π,5π/4)	$\theta-\pi$	$-\sin\theta$	$-\cos\theta$
6	[5π/4,3π/2)	$3\pi/2-\theta$	$-\cos\theta$	$-\sin\theta$
7	[3π/2,7π/4)	$\theta-3\pi/2$	$-\cos\theta$	$\sin\theta$
8	[7π/4,2π)	$2\pi-\theta$	$-\sin\theta$	$\cos\theta$

2.3　少数位比特检测法

在少数位比特检测法中,下面的近似条件可以用于优化CORDIC算法中的计算过程,以减少不必要的迭代,从而降低计算复杂度。

1)$\tan\ 2^{-n}\approx2^{-n}$的近似条件

将$\tan\ 2^{-n}$进行泰勒展开:

$$\tan 2^{-n}=2^{-(n+1)}+\frac{1}{3}2^{-3(n+1)}+o(2^{-3n}) \tag{7}$$

根据式(7)可知,当$n\geqslant N/3$,$\tan 2^{-n}\approx2^{-n}$。

2)$\cos 2^{-n}\approx1$的近似条件

将$\cos 2^{-n}$进行泰勒展开:

$$\cos 2^{-n}=1-2^{-2n-1}+o(2^{-2n}) \tag{8}$$

根据式(8)可知,$n\geqslant N/2$,$\cos2^{-n}\approx1$。将式(7)与式(8)代入式(6),可得:

$$\begin{bmatrix}x'\\y'\end{bmatrix}=\prod_{n=\frac{N}{2}}^{N}\begin{bmatrix}1 & -b_n2^{-n}\\ b_n2^{-n} & 1\end{bmatrix}\times$$
$$\prod_{n=\frac{N}{3}}^{n=\frac{N}{2}}\cos\theta_n\begin{bmatrix}1 & -b_n2^{-n}\\ b_n2^{-n} & 1\end{bmatrix}\times \tag{9}$$
$$\prod_{n=1}^{n=\frac{N}{3}}\cos\theta_n\begin{bmatrix}1 & -b_n\tan\theta_n\\ b_n\tan\theta_n & 1\end{bmatrix}\begin{bmatrix}x\\y\end{bmatrix}$$

由上式可知，少数位比特检测法将传统的CORDIC算法进行优化，通过利用小的查找表存储不能近似的正余弦值，再利用少数位比特旋转结构完成正余弦幅度值的计算。根据少数位检测结果选取查找表存储的值：如果少数位检测结果为0，当$b_n \geqslant N/2$时，$b_n=0$，则当前不用旋转迭代；如果$b_n=1$，则按角度2^{-n}进行旋转。如果少数位检测结果为1，当$b_n \geqslant N/2$时，$b_n=1$，则当前不用旋转迭代；如果$b_n=0$，则按角度2^{-n}进行旋转。图3为少数比特运算单元。

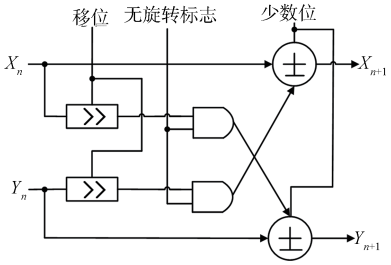

图3　少数比特运算检测单元

如图3所示，迭代运算结果X_n和Y_n进行右移操作，无旋转标志控制迭代，如果无旋转标志=1，没有进行旋转迭代，与门输出为0，直接将输入传递到输出；无旋转标志=0，进行旋转迭代，与门输出即为输入移位的值。少数位用来指示旋转方向：当旋转方向为正时，产生X_n输出的减法器执行减法运算，而产生Y_n输出的加法器执行加法运算。相反，当旋转方向为负时，产生X_n输出的加法器执行加法运算，而产生Y_n输出的减法器执行减法运算。最后得到迭代运算的下一次结果X_{n+1}和Y_{n+1}。

3　仿真结果与实现效果

本文提出的改进CORDIC算法核心架构如图4所示。

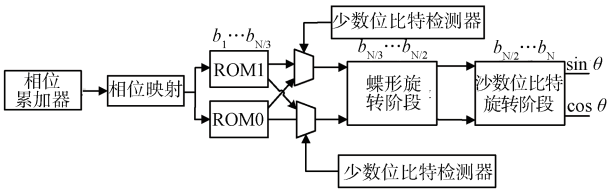

图4　改进的CORDIC算法核心架构

利用正/余弦函数的对称性，在用CORDIC算法计算出正/余弦值时，不用将所有角度的值都计算出来，通过相位映射模块利用其对称性推算出其他正/余弦值。

图4中存在2个ROM，分别存放不能简化的旋转弧度的正/余弦值。旋转的次数由少数位的判断结果决定：1）如果少数位中“0”的数量超过“1”，则在少数位检测阶段根据“0”的判断，最终的旋转级将不执行旋转操作；2）如果少数位中“1”的数量超过“0”，那么在少数位检测阶段，根据“1”的判断，最终的旋转级也将不执行旋转操作；3）当少数位中“0”和“1”的数量相等时，算法会选择不进行旋转，或者执行少量的旋转以适应输入信号的变化，选择对应的ROM地址输出。

3.1　模拟结果

在图4的基础上，用Verilog HDL实现了定点十进制的DDS仿真。相位映射的输出相位为17位，即$N=17$，前面的6位$b_1 \sim b_6$用于正/余弦值查找，b_7和b_8用于蝶形旋转阶段，$b_9 \sim b_{17}$用于少数比特迭代阶段，最终输出的正弦值的位数为14位。如图5所示使用MODELSIM软件对本文提出的CORDIC算法进行仿真得到的输出频率10 kHz正弦波信号。

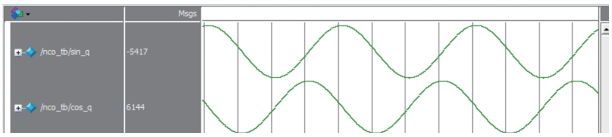

图5　利用本文CORDIC算法生成的正弦波形

利用Matlab对该算法进行误差分析，将理想正弦波形与该算法在MODELSIM得出的数据进行求差计算，正弦波的绝对值误差如图6所示，最大绝对值误差为1.4×10^{-6}。

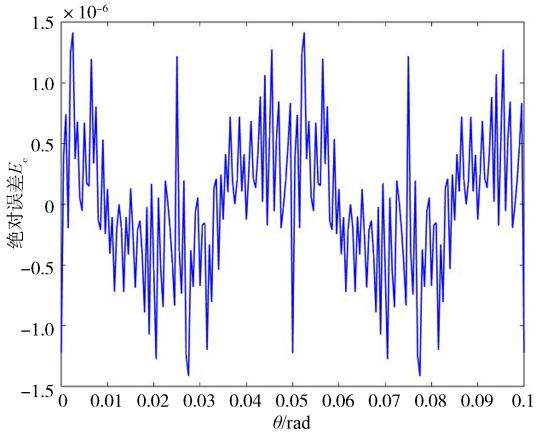

图6　正弦波精度绝对值误差图

3.2　系统性能分析

为验证所提改进CORDIC算法在三角函数计算中的综合性能，本文利用Verilog硬件描述语言完

成系统设计,并借助FPGA开发软件Vivado进行综合与仿真[13]。选用与本文输出精度相同(14位)的14级流水线CORDIC算法与传统查找表式DDS算法作为对比对象,3种方案均用于实现正弦函数计算模块。相关电路资源消耗情况如表2所示。

表2　3种算法电路资源消耗

算法类型	组合逻辑单元	寄存器	ROM/bits
传统DDS	55	84	229 376
流水线CORDIC	733	1 174	126
本算法	334	237	98

通过表2中对比分析可以看出,本文提出的改进CORDIC算法在资源占用方面相较于14级流水线型CORDIC算法和传统DDS算法具有显著优势。具体而言,改进算法所占用的组合逻辑单元为334个,相较于流水线CORDIC的53个减少了55.6%,寄存器占用为237个,相较于流水线CORDIC的1 086个减少了78.2%。传统DDS算法依赖查找表存储16 366个14位波形幅值样本,导致ROM资源消耗高达229 125位;流水线CORDIC算法也需保存多个缩放因子和旋转角度查找表,占用空间相对较大。相比之下,本文所提改进结构仅使用98位ROM存储器,资源使用率仅约为0.14%。尽管本设计引入了改进相位累加器模块、角度二进制重编码和少数位比特算法,表面上增加了逻辑资源数量,但这些模块却能减少CORDIC旋转次数,避免无效运算,降低数据路径翻转频率。因此,整体架构在资源占用下降的同时,动态功耗反而得到有效抑制。综合来看,本改进结构在保证输出波形精度较高的前提下,实现了性能、功耗与硬件效率的多维平衡。

3.3　效果对比分析

本文提出的改进CORDIC算法在ALINX AXU15EG FPGA平台上进行了部署,实现实时高精度正弦波生成,并将生成的信号输出至MATLAB进行进一步的频谱分析。为保证硬件性能和时序要求,在FPGA实现过程中进行了资源优化。如图7所示在10 MHz采样率下FPGA产生的10 kHz正弦波信号的频谱图。图中显示,输出信号的无杂散动态范围(SFDR)为86.2 dBc,这一数值与模型仿真得到的结果一致,表明硬件实现达到了与算法仿真相似的精度和性能。

如表3所示将本文提出的改进CORDIC算法的性能参数与其他文献中提出的方案进行了比较。

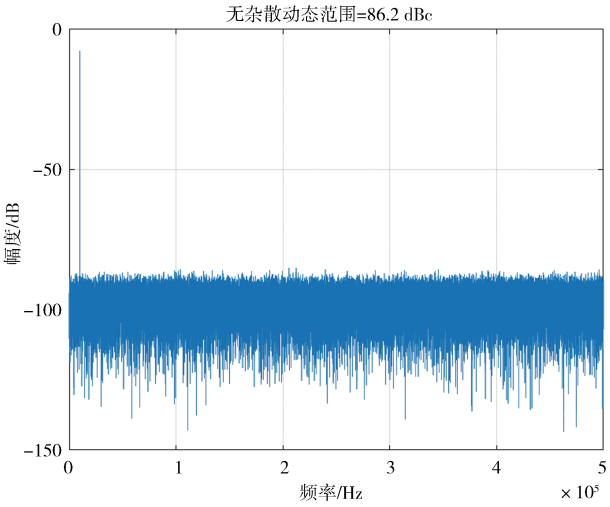

图7　FPGA生成10kHz正弦波信号的频谱图

表3　本文改进的CORDIC算法性能参数与其他文献对比

实现算法	迭代次数	输出延时/ns	最大误差/$\times10^{-5}$	硬件资源(Slice+FF+LUT)
本算法	≤6	<20	0.14	334
文献[14]	1	21	1.05	402
文献[15]	10	103	3	1 651
文献[16]	7	43.5	2	4 590

在ALINX AXU15EG FPGA平台上完成综合后,系统工作时钟频率为312.5 MHz,对应时钟周期为3.2 ns。所采用的改进型CORDIC结构最多进行6次迭代,因此整体处理延迟低于20 ns。在最坏情况下,系统吞吐量可达50 MSPS,具备较高的实时处理能力。通过结构优化和流水线设计,系统可在每个时钟周期内启动新的数据处理任务,实现连续、稳定的数据输出,满足实时高精度信号生成需求。本文设计的结合少数比特算法的CORDIC,降低了迭代次数,而且在速度、精度、资源消耗等方面也有很大优势,展示了其在高性能和低功耗应用中的潜力。特别是在需要不同频率信号快速跳变的应用场景,如生物电阻抗测试等,本文设计的CORDIC算法具有较显著的应用优势。

4　结　论

文章提出一种改进的CORDIC算法,通过引入小容量只读存储器和少数比特检测法,以优化传统CORDIC的性能。通过二进制到双极重编码的方法消除角度旋转器的判断,简化角度计算过程,再通

过偏移预旋转设置简化比例因子的计算,从而提高运算效率,最后通过少数位比特检测法减少旋转次数,降低系统的时延。基于改进的CORIDC算法,构建直接数字频率合成器。该结构能够产生32种不同的正弦输出信号,生成的正弦波精度与实际精度误差小于1.4×10^{-6}。在ALINX AXU15EG FPGA平台上进行硬件实验,结果表明生成10 kHz正弦波信号的SFDR约为86.2 dBc,该电路结构的输出时延不超过20 ns,速度较其他的改进CORDIC算法结构更快,同时资源消耗也更少。本文的主要优势在于通过减少旋转次数和输出延时,提高系统的整体效率,在硬件实现中能够在更低的功耗和更小的面积下运行。该结构可以应用在无线通信、数字信号处理等多个领域,具有良好的实用价值。

参考文献:

[1] DE CARVALHO P R B, PALACIO J A A, VAN NOIJE W. Area optimized CORDIC-based numerically controlled oscillator for electrical bio-impedance spectroscopy[C]//2016 IEEE International Frequency Control Symposium. New Orleans, LA, USA. 2016:1-6.

[2] YUAN W J, YU X M, ZHANG X F. The improved algorithm of DDS as to how to save ROM resource and increase the output frequency [C]//2011 2nd International Conference on Artificial Intelligence, Management Science and Electronic Commerce. Dengleng. 2011: 4490-4492.

[3] DE CARO D, NAPOLI E, STROLLO A G M. Direct digital frequency synthesizers using high-order polynomial approximation [C]//2002 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. San Francisco, CA, USA. 2002: 134-135.

[4] WEAVER L A J, KERR R J. High resolution phase to sine amplitude conversion [P]. US: US4905177A, 1990-02-27.

[5] CHEN W J, WU T Y, TANG W W, et al. Implementation method of CORDIC algorithm to improve DDFS performance [C]//2020 IEEE 3rd International Conference on Electronics Technology. Chengdu, China. 2020:58-62.

[6] MA S, WANG X S, LI Y J, et al. A low complexity DDS based on optimized CORDIC algorithm [C]//2019 IEEE 13th International Conference on ASIC. Chongqing, China. 2019:1-5.

[7] TOROSYAN A. Method and apparatus for improved direct digital frequency synthesizer[P]. U. S. Patent 7, 539,716, 2009-05-26.

[8] 李丹,刘林涛. 基于改进CORDIC算法的DDFS设计[J]. 微电子学,2014,44(2):210-213.

[9] WU C P, ZHOU B Q, FANG J C. Research on improved CORDIC algorithm for high accuracy DDS signal source [C]//2015 4th International Conference on Computer Science and Network Technology. Harbin, China. 2015: 1351-1355.

[10] WU C P, ZHOU B Q, FANG J C. Research on improved CORDIC algorithm for high accuracy DDS signal source [C]//2015 4th International Conference on Computer Science and Network Technology. Harbin, China. 2015:1351-1355.

[11] MOHANTY K, REDDY D R, P C, et al. Design and Implementation of High Frequency Functional Signal Generator using DDFS based on 16-stage pipelined CORDIC architecture [C]//2022 3rd International Conference for Emerging Technology. Belgaum, India. 2022: 1-5.

[12] 张俊安. 高速高性能直接数字频率合成器(DDS)关键技术研究[D]. 成都:电子科技大学,2017.

[13] 董宇飞,李开成,宋朝霞,等. 基于改进CORDIC算法的快速幅频可调DDS技术[J]. 电测与仪表, 2024, 61(12): 63-70.

[14] 汤衡,何善亮,陈杨. 一种改进超四算法的DDS设计[J]. 电讯技术,2020,60(3):344-349.

[15] 杨强,高博,龚敏. 基于改进Scaling-Free CORDIC算法的DDS[J]. 电子与封装, 2018, 18(2):24-28.

[16] 史方显,曾立, 陈昱, 等. 改进型高速高精度CORDIC算法及其在DDFS中的应用[J]. 电子学报,2017,45(2):446-451.