时间交织模数转换器中的时间偏差后台校准方法综述

仲　易，王欣宇
（清华大学，北京 100084）

摘　要： 时间交织模数转换器（TIADC）是高速ADC中的常用架构。随着通信、雷达等领域的发展，人们对ADC更高采样率的需求不断增加，时间交织技术正发挥日益重要的作用。然而，时间交织会引入非理想性，尤其是时间偏差（Timing Skew），显著限制了ADC的性能。针对TIADC中的时间偏差及其后台校准技术展开全面综述，涵盖以下内容：时间交织的基本原理，时间偏差及其影响和时间偏差的后台校准方法。将现有后台校准技术分成三类：基于自相关的校准法（autocorrelation-based），基于参考通道的校准法（reference-channel-based），以及基于参考信号的校准法（reference-signal-based），并对各类方法进行深入分析。

关键词： 时间交织模数转换器（TIADC）；时间偏差；校准；后台校准
中图分类号：TN792　　**文献标志码：**A　　**文章编号：**1004-3365(2025)06-1035-08
DOI：10.13911/j.cnki.1004-3365.250323

Background Timing-Skew Calibration Methods in Time-Interleaved ADCs

WANG Xinyu, ZHONG Yi
(*Tsinghua University*, *Beijing* 100084, *P. R. China*)

Abstract: Time-interleaved analog-to-digital converters (TIADCs) are widely used in high-speed ADC architecture to meet increasing demands for higher sampling rates in communication, radar, and related applications. However, time-interleaving introduces non-idealities, particularly timing skew, which can significantly degrade ADC performance. This review focuses on timing skew and its background calibration methods in TIADCs, covering the fundamental principles of time interleaving, the mechanisms and effects of timing skew, and various background calibration strategies. Existing background calibration techniques are classified into three categories: autocorrelation-based, reference-channel-based, and reference-signal-based methods. Each approach is analyzed in depth.

Key words: time-interleaved analog to digital converter (TIADC); timing skew; calibration; background calibration

0　引　言

模数转换器（ADC）是物理世界与数字系统交互的接口，随着信息技术的发展，人们对具有高采样率的ADC的需求日益迫切。随着工艺演进速度的放缓，单通道ADC的速度逐渐逼近物理极限，时间交织（TI）技术在采样率超过1 GS/s的ADC中广泛应用，由于交织引入的非理想性将成为限制ADC整体性能的瓶颈。这些非理想因素中，时间偏差会严重劣化高频输入下ADC的性能。

本文将聚焦时间交织ADC（TIADC）中时间偏

收稿日期：2025-09-20；**定稿日期：**2025-12-16
基金项目：中国电子科技集团公司第二十四研究所稳定支持专项（YG2407-4）
作者简介：仲　易（1990－），男（汉族），江苏宿迁人，博士，助理研究员，从事高性能模拟集成电路设计。
王欣宇（2001－），男（汉族），陕西西安人，硕士研究生，从事模拟集成电路设计与研究工作。通信作者。

差后台校准技术进行综述,全文组织如下。第1节介绍时间交织(TI)架构的基本原理;第2节讨论时间偏差及其对ADC性能的影响;第3节概述时间偏差校准技术;第4节具体讨论现有的后台校准方法;第5节介绍随机技术;第6节总结全文研究成果。

1　时间交织ADC架构简介

1.1　时间交织的基本原理

时间交织的概念首次于文献[1]中提出。以N通道交织的TIADC为例,每个通道交替以f_s的采样率对同一输入信号进行采样和转换,一个数字多路选择器(MUX)顺序将N个通道的转换结果进行输出。理想情况下,N个通道严格等间隔采样输入信号,这样就实现ADC整体采样率达到单通道采样率的N倍。时间交织架构允许每个ADC通道以较低速度运行,不仅降低单通道设计难度,还能提升能效。

1.2　时间交织ADC的开销

得到好处的同时,TIADC也会引入多种开销。多相时钟产生与数字MUX设计将引入额外的功耗和面积;复杂的布局布线需考虑IR-drop、寄生电容与串扰;此外,通道间失配会制约ADC的整体性能。

通道间的失配类型有以下4种:失调(Offset)、增益误差(Gain Error)、时间偏差(Timing Skew)及带宽失配(Bandwidth Mismatch)。其中时间偏差和通道间带宽失配的影响与输入信号的频率相关,随着采样率与输入信号频率的增加,这二者将成为限制TIADC整体性能的瓶颈。

本文将聚焦对时间偏差的校准。图1展示了一个带有校准模块的4通道TIADC。带宽失配校准的方法与时间偏差不同,超出本文的讨论范围。

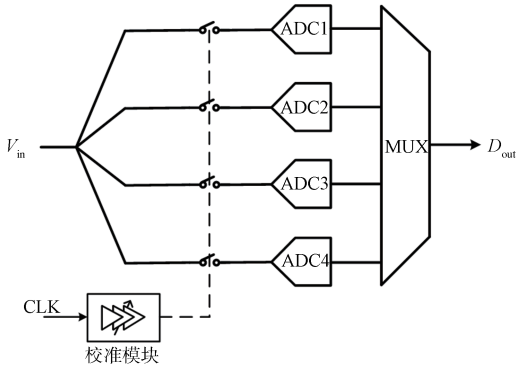


图1　四通道TIADC示例

2　时间偏差及其影响

2.1　时间偏差的成因

有3种非理想因素导致通道间采样时刻失配。

1)多相时钟产生电路和时钟走线的非理想性会导致时间偏差;

2)各个通道中采样开关的阈值电压失配也会影响采样时刻,引入时间偏差;

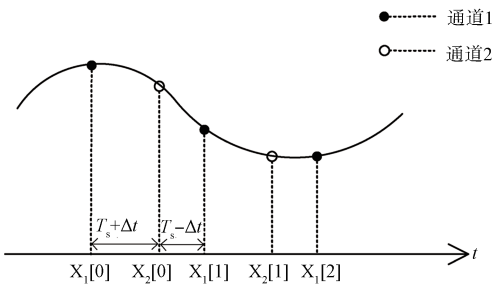
3)信号路径上的失配也会带来时间偏差。

2.2　时间偏差的影响

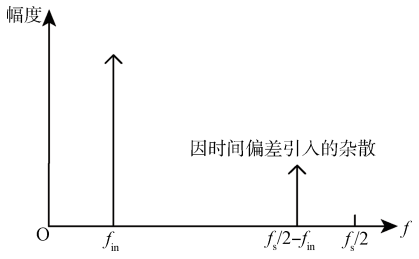
若输入信号为余弦信号$\cos(2\pi f_{in}t)$,在理想情况下,无时间偏差,通道间采样间隔为T_s,则采样后的信号为$\cos(2\pi f_{in}nT_s)$,在$0\sim f_s/2$范围内观察其频谱,将只会在f_{in}频率处出现单根谱线。

接下来考虑时间偏差对输出频谱的影响。考虑一种简单情况,TIADC交织N个通道,前$(N-1)$个通道的采样时刻是理想的,第N个通道的采样时刻有时间偏差。则采样时刻将不再是均匀的$t=nT_s$,而是变成$t=nT_s+\delta[n]$,其中$\delta[n]$是一个以N为周期的序列,并且前$(N-1)$个点的数值均为0,只有第N个点上的数值非零,为Δt。那么采样后的信号将成为$\cos[2\pi f_{in}(nT_s+\delta[n])]$,可见采样间隔被周期性调制,这将引入非线性误差。将以N为周期的信号$\delta[n]$展开成傅里叶级数后代入余弦项,在小偏差近似下展开余弦项,即可得出由于时间偏差将会在$kf_s/N\pm f_{in}(k=1,2,...,N)$频率处引入杂散,并且其幅度与$\Delta t$和$f_{in}$成正比。

以一个两通道交织的TIADC为例,图2展示了时间偏差对它的影响。从时域上看,两通道的采样间隔不再相等,而是变成$(T_s+\Delta t)$与$(T_s-\Delta t)$。从输出频谱上看,由于时间偏差,将会在$(f_s/2-f_{in})$处引入杂散。



(a)时域波形



(b) 输出频谱

图 2　两通道 TIADC 时间偏差分析

3　时间偏差校准技术概述

根据是否需要中断 ADC 正常工作,将校准技术分为两类:前台校准和后台校准。对于前台校准,需向 TIADC 输入固定校准信号,由于输入信号已知,时间偏差误差可轻松提取。但前台校准必须中断 ADC 转换以执行校准过程,并且很多应用中无法中断 ADC 的正常工作,因此后台校准是必要的。后台校准在 ADC 正常输入下提取时间偏差误差,这种在未知输入下的校准更具挑战性,也是本文关注的重点,将在第 4 节详细讨论。

时间偏差校准的过程分为两步,误差提取和误差校正。误差提取后可在模拟域或数字域校正。模拟域校正通过可变延迟线微调采样时刻,数字域校正可通过数字滤波器。然而由于数字域校正的开销较大,模拟校正方法通常仍是校准时间偏差的首选。

评估时间偏差校准技术的指标包括收敛速度、校准精度、设计复杂度、对 ADC 正常转换的副作用以及输入无关性。输入无关性用于评估校准性能与输入信号之间的关系,例如对基于自相关的校准方法,需要输入信号是广义平稳的;对需要进行输入信号导数运算的方法,其在低频输入下的收敛速度将会减慢。

不同的应用场景应选择不同的校准办法。例如在测量仪器等应用中,前台校准是较合理的方法。而在基站应用中,ADC 必须随时准备接收信号,因此为保障 ADC 性能,需要进行后台校准。然而此场景下的输入条件会剧烈变化,为维持校准性能,可采用与输入信号无关的校准方法,或采用具有超快收敛速度的方法。所以,需综合评估不同校准算法的指标,在不同场景下选择合适的方案。

4　现有的后台校准方法综述

4.1　基于自相关校准

对于宽平稳随机过程,其自相关函数仅与时间差有关。因此若输入信号是宽平稳的,那么 2 个通道间的采样间隔,可以通过对它们的采样值进行相关运算的结果来体现。

设 $R(\tau)$ 为输入信号 $V_{in}(t)$ 的自相关函数,那么,

$$R(\tau)=\mathbb{E}[V_{in}(t)V_{in}(t+\tau)]) \tag{1}$$

式中,$\mathbb{E}(\cdot)$表示取数学期望。下面以图 2 中有时间偏差 Δt 的两通道交织系统为例,说明在理论推导方面如何通过自相关运算提取出时间偏差 Δt 的极性。

考虑 ΔR 为如下两个相关值之差,

$$\Delta R=\mathbb{E}[x_1(k)x_2(k)]-\mathbb{E}[x_2(k)x_1(k+1)]=R(T_s+\Delta t)-R(T_s-\Delta t)\approx 2R'(T_s)\Delta t \tag{2}$$

式中,$R'(T_s)$为自相关函数的导数在 T_s 处的值。在文献[2]附录中的分析表明,若信号带宽限制在 $f_s/2$ 内,则 $R'(T_s)$恒为负值,因此通过计算 ΔR 即可提取出时间偏差误差的极性[3]。

相关值可通过计算两个通道的采样值相乘后取平均估计,设每个通道采样 M 个点,则:

$$\hat{R}(t_{i,i+1})=\frac{1}{M}\sum_{k=0}^{M-1}x_i(k)x_{i+1}(k) \tag{3}$$

式中,$\hat{R}(t_{i,i+1})$为通道 i 与通道$(i+1)$之间自相关函数的估计值。提取后,可通过调整可变延迟线,在模拟域校正时间偏差;亦可在数字域直接计算特定误差值,并利用导数信息校正误差[4-7]。

交织通道数大于 2 时出现若干挑战,包括校准精度不足,输入信号带宽受限以及校准收敛速度慢等。文献[8]提出的方法采用二分搜索法依次校准所有通道,但其仅适用于通道数 N 为 2 的幂次且需 $\log_2 N$ 步校准步骤。其第一步先校准通道 1 和通道$(N/2+1)$这两个通道的时间偏差,这将依赖 $R'(NT_s/2)$提取时间偏差误差,而该导数的极性仅在信号带宽限制于 f_s/N 内时才得以保证,这限制了其在大规模交织应用中的适用性。

图 3 展示了文献[8]提出的在一个四通道 TIADC 中的校准方法。令通道 i 与通道 j 之间的采样间隔为 $t_{i,j}$,算法首先计算所有相邻通道间的相关值:

$$R(t_{i,i+1})=\mathbb{E}[x_i(k)x_{i+1}(k)] \tag{4}$$

随后,平均所有的相关值来获得理想采样时刻的自相关函数:

$$[R(t_{1,2})+R(t_{2,3})+R(t_{3,4})+R(t_{4,1})]/4\approx R(T_s)+R'(T_s)(t_{1,2}+t_{2,3}+t_{3,4}+t_{4,1}-4T_s)/4=R(T_s) \tag{5}$$

随后可通过计算累积相关值与对应的多重平均相关值之差,提取所有通道的时间偏差误差。以通道3为例:

$$\Delta R_3 = R(t_{1,2}) + R(t_{2,3}) - 2R(T_s) \approx R'(T_s)(t_{1,2} + t_{2,3} - 2T_s) = R'(T_s)\Delta t_3 \quad (6)$$

该算法利用相邻通道间的相关性同时提取所有通道的时间偏差误差,其仅依赖$R'(T_s)$进行误差提取,从而将带宽限制从f_s/N放宽至$f_s/2$。此外,这样的同步提取在收敛速度与校准精度上相较同类工作[9-11]具有显著优势。

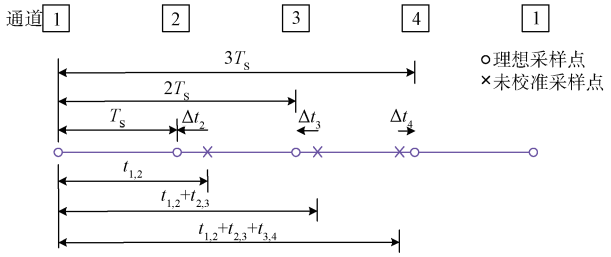


图3　文献[8]提出基于自相关的校准方法

在实际实现中,相关运算$\mathbb{E}[x_1(k)x_2(k)]$可替换为平均绝对差(MAD)$\mathbb{E}[|x_1(k)-x_2(k)|]$以降低数字开销。替换的等效性在相当的情况下已被证明,$R'(T_s)$的正负总是与$MAD'(T_s)$的相反[2,8],即$f_s/2$范围内,则$MAD'(T_s)$总是正的。具体的提取原理分析如下:

$$MAD(T_s) = [MAD(t_{1,2}) + MAD(t_{2,3}) + MAD(t_{3,4}) + MAD(t_{4,1})]/4 \quad (7)$$

继续以通道3为例展示如何提取时间偏差的极性:

$$\Delta MAD_3 = MAD(t_{1,2}) + MAD(t_{2,3}) - 2MAD(T_s) \approx MAD'(T_s)(t_{1,2} + t_{2,3} - 2T_s) = MAD'(T_s)\Delta t_3 \quad (8)$$

在文献[12]中,相邻通道间的时间偏差通过相邻通道输出差值绝对值的期望A_i提取,这与MAD的计算方法完全一致,最终通过调节可变延迟缓冲器实现时间偏差校准。

基于自相关的校准方法的最显著优势在于,时间偏差误差可在纯数字域提取而无需模拟操作,这是随工艺演进友好的。然而,这种方法十分依赖输入信号的统计特性,因此需要预设输入信号的先验知识。

4.2　基于参考通道校准

这种后台校准方法通过额外的参考通道提取时间偏差误差,图4展示其基本原理。参考通道可以是一个额外的子ADC通道,它与各主通道采样相同的输入信号。当所有主通道与参考通道的采样时刻对齐时,可有效消除时间偏差。

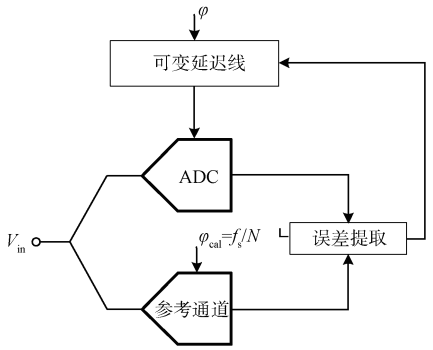


图4　基于参考通道法校准的基本原理

参考通道的采样率可以等于TIADC的采样率f_s,然而在超高速场景下,这很不实际。只需要周期性对齐参考通道与各个主通道,所以可以选择参考通道的采样率为f_s/N',N'与N互质。

对齐操作可以借助信号导数实现[13-18],也可通过最大化互相关[19]或最小化参考通道与各个主通道采样结果误差的方差[20,21]完成。

文献[19]指出,可通过类似式(3)的计算方法,得到参考通道与各个主通道采样值的互相关值。当二者采样时刻对齐时,互相关值最大。

然而文献[19-21]中基于统计的方法收敛速度较慢,基于导数对齐的方法可实现极快的收敛速度。假设存在时间偏差,图5展示了一种可能的情况。

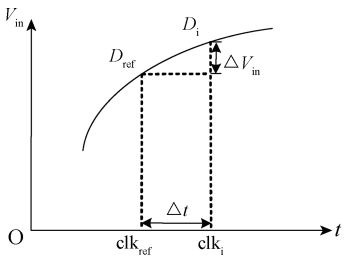


图5　基于导数对齐方法示例

通过参考通道与主通道的信号差ΔV_{in}和信号导数dV_{in}/dt,可直接计算时间偏差误差Δt的符号:

$$\mathrm{sgn}(\Delta t) = \mathrm{sgn}(\Delta V_{in} \cdot dV_{in}/dt) \quad (9)$$

该方案仅需每校准周期数百样本即可实现极快收敛速度。信号导数的计算可通过数字滤波器估计,但输入带宽受限[18];亦可通过额外增加模拟滤波通道提取[14,16],但这样做就需要2个额外的通道,

引入大量开销。

文献[13]提出了一种仅需一个额外通道,即可同时提取 ΔV_{in} 与 $\mathrm{sgn}(\mathrm{d}V_{in}/\mathrm{d}t)$ 的校准技术。通过底板采样,$\mathrm{sgn}(\mathrm{d}V_{in}/\mathrm{d}t)$ 可在采样时刻触发比较器提取。参考通道转换采样电压获得与主 ADC 通道间的差值,即 $\Delta V_{in}=D_{ref}-D_i$。$\mathrm{sgn}(\Delta t)$ 可通过平均多个采样点上的 $\mathrm{sgn}(\Delta V_{in})\cdot\mathrm{sgn}(\mathrm{d}V_{in}/\mathrm{d}t)$ 估计。

此外,因时间偏差相对较小,参考通道与主通道的数字输出接近且共享相同的高有效位(MSB)段,故只需在参考通道转换低有效位(LSB)段以降低功耗。例如文献[19]中的参考通道仅为一个比较器。再用多路复用器(MUX)将 MSB 段传输至参考通道。

这种方法的缺点在于参考通道引入的输入阻抗调制效应。前文已述,参考通道工作在采样率 f_s/N',由于参考通道的采样率与子 ADC 的采样率不同,它们的采样时钟会在某些时刻对齐,而在某些时刻不对齐。若对齐,则输入信号 V_{in} 会看到两个通道同时采样;若不对齐,则 V_{in} 只看到一个通道在采样。因此 V_{in} 看到的负载会周期性的变化,这引起输入负载调制效应,在 $kf_s/N'\pm f_{in}(k=1,2,...,N')$ 频率处引入杂散。随机技术是一种解决方案,将阻抗调制杂散扩散为宽带噪声。该技术亦能改善 SFDR,详见第 5 节。文献[13]中提出的 dummy 负载方案是一种容易实现的解决方法。

基于参考通道的校准方法,所有主通道与参考通道对齐,不引入系统误差且保证高校准精度,通过导数计算可实现快速收敛。然而这种方法在低频或小幅度输入下收敛速度减慢,此外,还需谨慎考量输入阻抗调制效应等副作用。

4.3　基于参考信号校准

由输入端输入一个确定的信号,提取误差后进行补偿是 ADC 前台校准常用的方法,将此方法进行拓展可用于后台校准。基于参考信号的校准方法向 ADC 输入时序参考信号 CLK_{ref} 检测时间偏差误差,其边沿与主通道的采样时刻对齐,通过均衡参考信号的采样结果可消除时间偏差。

可以通过专用的偏差检测电路处理时序参考信号,该电路并联在主信号路径旁,专门采样参考信号以提取时间偏差误差[22-24]。还可通过在时间域或空间域将时序参考信号与正常输入信号分开处理,例如文献[25]中额外插入一个专用的校准周期,供各通道采样对齐参考信号;文献[26]额外加入一个通道,周期性选择空闲通道采样可编程延迟的两电平信号。这些方法的收敛速度快,与前台校准相近,但引入较大的模拟开销,并且由于将参考信号与输入信号分开处理,路径间失配限制了校准精度。

此外还可将时序参考信号作为时间相关抖动注入信号路径,在后台进行相关运算提取时间偏差误差[27-30]。这种方法以增加数字开销和降低收敛速度为代价简化模拟复杂度,并且由于参考信号于前端注入并通过与输入信号相同的路径传输,可消除路径失配,保障校准精度。

图 6 展示文献[27]的时序参考信号注入原理图。参考信号为上升沿刻意放缓的时钟信号,经伪随机序列调制后,通过尺寸为主输入缓冲器 1/24 的辅助缓冲器注入主缓冲器的输出节点,保障参考路径与输入路径匹配的同时规避系统误差。并且对输入信号和抖动信号分别使用缓冲器可起到有效的隔离作用以避免码间串扰问题。

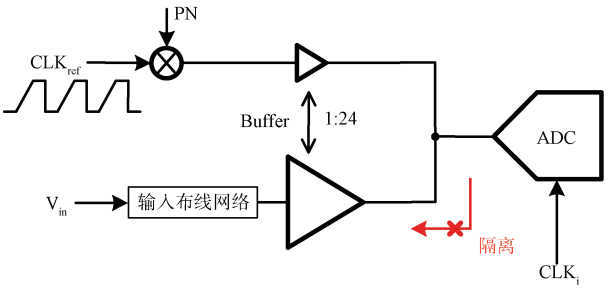


图 6　文献[27]中的参考信号注入方法

基于参考信号校准的方法最显著优势在于输入无关性。由于误差提取基于时序参考信号,收敛性可在任意输入条件下保障,这对前述的基站等应用至关重要。然而,还必须考量设计复杂度、收敛速度以及参考信号注入可能引起的信号串扰问题。

4.4　全数字域校准方法

除上述提到的 3 种以数模混合方式对时间偏差进行校准,还有在全数字域实现的形式,例如基于拟合、FFT 分析和神经网络的方法。

基于拟合技术的方法通过 LMS 自适应滤波算法,将时间偏差量化为可迭代优化的系数项,以误差谱能量最小为目标调整系数,完成时间偏差补偿[31];基于 FFT 的校准方法通过分析输出频谱中的杂散分量定位时间偏差,以杂散幅度最小为目标调节采样时钟相位实现校准[32];基于神经网络技术的方法将信号和信号导数输入全连接神经网络,以理想信号为训练目标,学习后可直接输出校准信号,同

时消除时间、增益和偏移偏差[33]。

5 随机技术

除了校准,随机技术是缓解通道间失配影响的另一途径[34]。传统TIADC中各通道顺序采样输入信号,导致误差周期性出现,并在输出频谱形成杂散。相反,若随机化所有通道的采样顺序,则误差模式转为非周期性,杂散可扩散为噪底。该技术同样适用于缓解参考通道校准法当中的输入阻抗调制效应。

为实现采样顺序随机化,对于每个新的采样点需至少两个通道可用,故在维持总采样率前提下需增设额外ADC通道。以四通道交织为例解释备用通道的必要性。主通道编号为1234,还需要至少一个备用通道,记为Aux。假设TIADC先以1234通道顺序进行采样和转换,当通道4采样完成后,以伪随机序列选择通道1或备用通道Aux进行下一次采样,因为通道234有可能尚未完成转换,若无备用通道则无法实现采样顺序的随机化。冗余通道越多,采样顺序的随机性越强,谐波被打散的程度越趋近白噪声。尽管该技术不改善SNDR,但可提升SFDR,这对无线通信等线性度要求较高的场景至关重要,可作为传统校准技术的补充方案达到更高的线性度。然而其亦引入大量模拟开销。

6 结 论

本文详述了TIADC中时间偏差的3种后台校准方法,各种方法均具备独特优势,其中自相关法在校准精度、模拟设计简单度上具有优势,然而其收敛速度一般较慢,数字设计复杂度高,并且与输入信号相关。参考通道法的收敛速度更快,并且在校准精度和数字实现复杂度上有优势,然而其模拟设计复杂度较高,并且与输入信号也有一定关联性。参考信号法的校准精度高,并且也输入信号无关,然而其收敛速度较慢,模拟与数字的设计复杂度均较高。除校准技术外,随机技术亦可协同提升ADC线性度性能。除校准技术外,随机技术亦可协同提升ADC线性度性能。

参 考 文 献:

[1] BLACK W C, HODGES D A. Time interleaved converter arrays [J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1022-1029.

[2] GU M, TAO Y, HE X, et al. A 1-GS/s 11-b time-interleaved SAR ADC with robust, fast, and accurate autocorrelation-based background timing-skew calibration [J]. IEEE Journal of Solid-State Circuits, 2025, 60(2): 421-431.

[3] RAZAVI B. Design considerations for interleaved ADCs [J]. IEEE Journal of Solid-State Circuits, 2013, 48(8): 1806-1817.

[4] JAMAL S M, FU D H, CHANG N C, et al. A 10-b 120-Msample/s time-interleaved analog-to-digital converter with digital background calibration[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1618-1627.

[5] LE DORTZ N, BLANC J P, SIMON T, et al. 22.5 A 1.62GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dBFS [C]//2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers. San Francisco, CA, USA. 2014: 386-388.

[6] LIN C Y, WEI Y H, LEE T C. A 10-bit 2.6-GS/s time-interleaved SAR ADC with a digital-mixing timing-skew calibration technique[J]. IEEE Journal of Solid-State Circuits, 2018, 53(5): 1508-1517.

[7] GUO M Q, MAO J J, SIN S W, et al. A 29mW 5 GS/s Time-interleaved SAR ADC achieving 48.5dB SNDR with fully-digital timing-skew calibration based on digital-mixing [C]//2019 Symposium on VLSI Circuits. Kyoto, Japan. 2019: C76-C77.

[8] WEI H, ZHANG P, SAHOO B D, et al. An 8 bit 4 GS/s 120 mW CMOS ADC [J]. IEEE J. Solid-State Circuits, 2014, 49(8): 1751-1761.

[9] CHANG D J, RYU S T. A relative-prime rotation based fully on-chip background skew calibration for time-interleaved ADCs [C]//2022 IEEE Symposium on VLSI Technology and Circuits. Honolulu, HI, USA. 2022: 174-175.

[10] MOON K J, OH D R, PARK Y H, et al. A 12-bit 10GS/s 16-channel time-interleaved ADC with a digital processing timing-skew background calibration in 5nm FinFET [C]//2022 IEEE Symposium on VLSI Technology and Circuits. Honolulu, HI, USA. 2022: 172-173.

[11] RICCI L, BÈ G, ROCCO M, et al. A 2-GS/s time-interleaved ADC with embedded background calibrations and a novel reference buffer for reduced inter-channel crosstalk[J]. IEEE Journal of Solid-State Circuits, 2025, 60(2): 456-468.

[12] LI J, WU S Y, LIU Y, et al. A digital timing mismatch calibration technique in time-interleaved ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(7): 486-490.

[13] GU M Y, TAO Y S, HE X Y, et al. A 1.2GS/s 11b time-interleaved SAR ADC with low-cost derivative-based background timing-skew calibration and variable-load comparators[C]//2024 IEEE Asian Solid-State Circuits Conference (A-SSCC). Hiroshima, Japan. 2025: 1-3.

[14] STEPANOVIC D, NIKOLIC B. A 2.8 GS/s 44.6 mW time-interleaved ADC achieving 50.9 dB SNDR and 3 dB effective resolution bandwidth of 1.5 GHz in 65 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 971-982.

[15] KANG H W, HONG H K, KIM W, et al. A time-interleaved 12-b 270-MS/s SAR ADC with virtual-timing-reference timing-skew calibration scheme [J]. IEEE Journal of Solid-State Circuits, 2018, 53(9): 2584-2594.

[16] ZHOU Y, XU B W, CHIU Y. A 12-b 1-GS/s 31.5-mW time-interleaved SAR ADC with analog HPF-assisted skew calibration and randomly sampling reference ADC [J]. IEEE Journal of Solid-State Circuits, 2019, 54(8): 2207-2218.

[17] CHANG D J, CHOI M, RYU S T. A 28-nm 10-b 2.2-GS/s 18.2-mW relative-prime time-interleaved sub-ranging SAR ADC with on-chip background skew calibration[J]. IEEE Journal of Solid-State Circuits, 2021, 56(9): 2691-2700.

[18] GUO M Q, MAO J J, SIN S W, et al. A 1.6-GS/s 12.2-mW seven-/eight-way split time-interleaved SAR ADC achieving 54.2-dB SNDR with digital background timing mismatch calibration [J]. IEEE Journal of Solid-State Circuits, 2020, 55(3): 693-705.

[19] EL-CHAMMAS M, MURMANN B. A 12-GS/s 81-mW 5-bit time-interleaved flash ADC with background timing skew calibration [J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 838-847.

[20] LEE S, CHANDRAKASAN A P, LEE H S. A 1 GS/s 10b 18.9 mW time-interleaved SAR ADC with background timing skew calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2846-2856.

[21] SONG J, RAGAB K, TANG X Y, et al. A 10-b 800-MS/s time-interleaved SAR ADC with fast variance-based timing-skew calibration [J]. IEEE Journal of Solid-State Circuits, 2017, 52(10): 2563-2575.

[22] HUANG C C, WANG C Y, WU J T. A CMOS 6-bit 16-GS/s time-interleaved ADC using digital background calibration techniques[J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 848-858.

[23] ZHANG M L, ZHU Y, CHAN C H, et al. A 20GS/s 8b time-interleaved time-domain ADC with input-independent background timing skew calibration[C]// 2021 Symposium on VLSI Circuits. Kyoto, Japan. 2021: 1-2.

[24] WANG Y H, CHANG S J. A 7b 4.5GS/s 4 × interleaved SAR ADC with fully on-chip background timing skew calibration[C]//2023 IEEE International Solid-State Circuits Conference. San Francisco, CA, USA. 2023: 16-18.

[25] SUNG B R S, JO D S, JANG I H, et al. 26.4 a 21fJ/conv-step 9 ENOB 1.6GS/s 2 × time-interleaved FATI SAR ADC with background offset and timing-skew calibration in 45nm CMOS [C]//2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers. San Francisco, CA, USA. 2015: 1-3.

[26] CHEN V H C, PILEGGI L. A 69.5 mW 20 GS/s 6b Time-Interleaved ADC With Embedded Time-to-Digital Calibration in 32 nm CMOS SOI[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2891-2901.

[27] TAO Y S, GU M Y, CHI B Y, et al. 22.4 a 4.8 GS/s 7-ENoB time-interleaved SAR ADC with dither-based background timing-skew calibration and bit-distribution-based background Ping-pong comparator offset calibration[C]//2024 IEEE International Solid-State Circuits Conference. San Francisco, CA, USA. 2024: 394-396.

[28] LUO L, CHEN S, ZHOU M C, et al. A 0.014mm^2 10-bit 2GS/s time-interleaved SAR ADC with low-complexity background timing skew calibration [C]// 2017 Symposium on VLSI Circuits. Kyoto, Japan. 2017: C278-C279.

[29] CAO Y F, ZHANG M L, ZHU Y, et al. A 12-GS/s 12-b 4 × time-interleaved ADC using input-independent timing skew calibration with global dither injection and linearized input buffer[J]. IEEE Journal of Solid-State Circuits, 2024, 59(12): 4211-4224.

[30] ZHANG W, ZHANG M L, ZHU Y, et al. A PVT-robust 8b 20GS/s time-interleaved SAR ADC with quantization-embedded current-mode buffer and differ-based dither timing skew calibration[C]//2024 IEEE Custom Integrated Circuits Conference. Denver, CO, USA. 2024: 1-2.

[31] VOGEL C, SALEEM S, MENDEL S. Adaptive blind compensation of gain and timing mismatches in M-channel time-interleaved ADCs[C]//2008 15th IEEE International Conference on Electronics, Circuits and Systems. Saint Julian's, Malta. 2008: 49-52.

[32] ZHAO L, HU X F, FENG C Q, et al. A 1.6-gsps high-resolution waveform digitizer based on a time-interleaved technique [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 2180-2187.

[33] PENG X Z, YE X L, LIU H, et al. A neural network based calibration technique for TI-ADCs with derivative information [C]//2023 IEEE International Symposium on Circuits and Systems. Monterey, CA, USA. 2023: 1-5.

[34] ALI A M A, DINC H, BHORASKAR P, et al. A 12-b 18-GS/s RF sampling ADC with an integrated wideband track-and-hold amplifier and background calibration[J]. IEEE Journal of Solid-State Circuits, 2020, 55(12): 3210-3224.