# 用于有源箝位正激变换器的自适应ZVS电路

王壮壮，罗　萍，李成鑫，冯皆凯，齐烨宁
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

**摘　要：** 零电压切换（ZVS）有助于提高正激变换器的工作效率，但功率管非线性的寄生电容和变化的负载电流使得ZVS难以实现。文章基于临界导通模型（CRM）提出了一种新的电路设计方案：负高压过零采样电路逐周期采样功率管体二极管的正向压降，集成在控制芯片内的自修调电路自动调节死区/交叠时间，实现有源箝位正激变换器的ZVS。基于0.18 μm BCD工艺的仿真结果表明：所设计的ZVS电路能够自适应有源箝位正激变换器1～30 A的负载电流。该设计可广泛用于其他拓扑结构的DC-DC变换器。

**关键词：** 零电压切换；临界导通模型；有源箝位；正激变换器
**中图分类号：**TN433；TM46　　**文献标志码：**A　　**文章编号：**1004-3365（2025）06-1020-08
**DOI：**10.13911/j.cnki.1004-3365.240421

# An Adaptive Zero-voltage Switching Circuit for Active Clamped Forward Converter

WANG Zhuangzhuang, LUO Ping, LI Chengxin, FENG Jiekai, QI Yening
(*State Key Lab. Of Elec. Thin Films and Integr. Dev.*, *Univ. of Electronic Science and Technology of China*, *Chengdu* 610054, *P. R. China*)

**Abstract:** Zero-voltage switching (ZVS) can improve the efficiency of the forward converter. However, it is difficult to achieve due to the nonlinear parasitic capacitance of the power transistors and the constantly varying load current. In this study, we proposed a novel circuit design scheme based on the critical conduction model (CRM). We used a negative high-voltage zero-over-sampling circuit to sample the forward voltage drop of the power tube diode cycle-by-cycle. A self-modifying circuit integrated in the chip automatically adjusts the dead/overlap time to realize the ZVS of the active clamped forward converter. The circuit simulation results based on the 0.18 μm BCD process design indicate that, within the load current range of 1 - 30 A in the active clamped forward converter, the power transistor adapts to the load current and achieves ZVS. The proposed design is compatible with DC-DC converters in other topologies.

**Key words:** zero voltage switching (ZVS); critical conduction mode (CRM); active clamping; forward converter

## 0　引　言

DC-DC变换器广泛应用于通信、家用电器以及军工等诸多领域，其中正激变换器以其独特的隔离性且适用于低压大电流的工作情况而受到广泛关注。传统正激变换器在进行磁芯复位时不仅会耗散大量的功率，同时也将对外产生较大的电磁干扰；有源箝位正激变换器在无损复位的同时，使得原本最高50 %的占空比极限得以突破[1,2]，提高了输入电压的范围；由于有源箝位电路包含箝位电容和额外的辅助功率管，主功率管在稳定工作状态中承担的电压应力明显降低；除此之外，当功率管导通与关断时，开关点的谐振频率发生改变，为功率管实现零电压切换（ZVS）提供了可能，有效降低电磁辐射并提高系统的工作效率[3]。

**收稿日期：**2024-11-18；**定稿日期：**2025-03-06
**作者简介：**王壮壮（1998—），男（汉族），河北人，硕士研究生，研究方向为模拟集成电路设计。
罗　萍（1968—），女（汉族），四川人，教授，博士生导师，研究方向为智能功率集成电路与系统。通信作者。

由于有源箝位正激变换器的ZVS与功率管寄生参数、负载电流、箝位电容、变压器励磁电感和漏感呈现非线性关系，设计功率管的ZVS变得异常困难[4]。虽然非隔离的DC-DC变换器如：BUCK、BOOST以及BUCK-BOOST等有比较传统的三角电流模[5]和四角电流模[6]的芯片级设计方案来使系统工作在ZVS状态，但该方案将增大输出电感的电流纹波[5]；在有源箝位正激变换器环路中额外增添电感电容改变正激变换器拓扑结构的设计方案看似达到了ZVS，但额外的电感电容通路强行改变了谐振频率，整个正激变换器的单位增益带宽将会降低，系统瞬态响应变差；除此之外，该方案无法兼容不同的负载情况和外部器件[1, 7, 8]。由于有源箝位正激变换器的开关采样点有非常大的电压摆幅，目前芯片级有源箝位正激变换器自适应ZVS的设计仍待探索[9]。

文章提出了一种用于有源箝位正激变换器的自适应ZVS电路，在正激变换器全负载情况下均可使系统工作在ZVS状态。文章第1节介绍有源箝位正激变换器的工作原理；第2节介绍所设计的自适应ZVS架构及子模块的工作原理；第3节对所提出的电路进行仿真验证和结果分析；第4节给出结论。

## 1　有源箝位正激变换器的工作原理

如图1所示有源箝位正激变换器主体的拓扑结构。

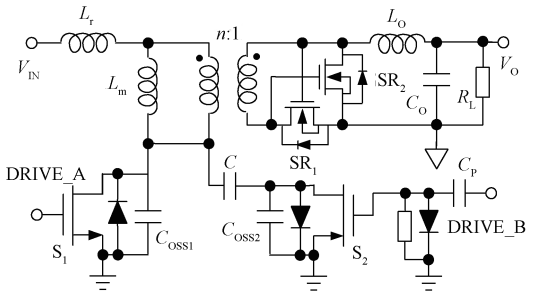



图1　有源箝位正激变换器拓扑结构

输入直流电平为$V_{IN}$，主功率管$S_1$和隔离变压器原边侧构成充磁通路，辅助功率管$S_2$和其上方的箝位电容$C$构成磁芯复位电路，变压器的励磁电感为$L_m$，而其漏感为$L_r$，$S_1$和$S_2$的源漏寄生电容分别为$C_{oss1}$和$C_{oss2}$；在隔离变压器副边侧，使用自驱动同步整流管$SR_1$和$SR_2$提高大电流负载下的效率[10]，输出电感$L_o$和$C_o$以降低输出电压纹波。通过合理设计驱动信号的死区/交叠时间，变压器原边侧$S_2$可以在整个负范围（1～30 A）达到ZVS。

为了说明正激变换器稳定运行的情况，在介绍变换器各工作阶段前需要提出以下假设条件：

1）$S_1$和$S_2$除了具有源漏寄生电容和源漏之间的体二极管之外被认为是理想器件；

2）箝位电容$C$远大于$S_1$源漏寄生电容$C_{oss1}$，正激变换器稳定工作时，箝位电容$C$两端电压不变；

3）输出电感$L_O$和输出电容$C_O$足够大使得正激变换器的输出电压和电流保持恒定；

4）漏感$L_r$比励磁电感$L_m$小得多。

正激变换器稳定工作时的关键波形如图2（a）所示。其中$V_{DS}$为主功率管漏极与源极之间压降；$I_{Lm}$为流经变压器原边侧励磁电感中电流；SW为箝位电容上极板（采样点）的电压波形；$I_{OUT}$和$I_{LO}$分别为输出电流和输出功率电感中电流。

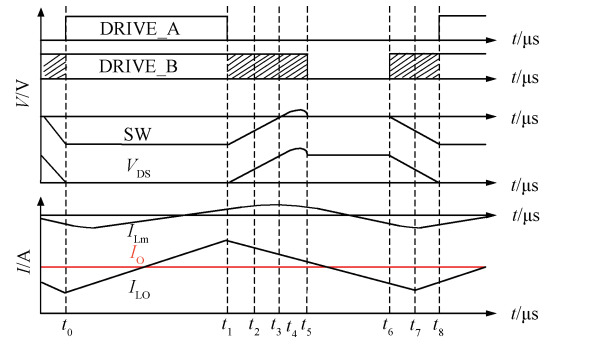
阶段Ⅰ（$t_0$～$t_1$），如图2（b）所示，此阶段为正激变换器工作的初始阶段，在这个阶段的初始时刻，$S_1$导通，其源漏电压为0 V，隔离变压器原边侧绕组两端压降为$V_{IN}$，此时$L_m$中电流以$V_{IN}/L_m$斜率上升，隔离变压器副边侧绕组两端电压为$V_{IN}/n$，其中$n$为变压器匝数比；同步整流管$SR_1$导通，$SR_2$关断，$L_O$中电流$I_{LO}$上升，斜率为$\left(V_{IN}/n - VO\right)/L_O$，阶段I在主功率管$S_1$关断时结束。

阶段Ⅱ（$t_1$～$t_2$），如图2（c）所示，初始时刻，$S_1$关闭，$SR_1$导通，$SR_2$关闭，由于$L_m$和$L_r$的续流作用，$C_{oss1}$将被充电，谐振频率为$1/\sqrt{C_{oss1}\left(L_m + L_r\right)}$，由于$C_{oss1}$小而$L_m$很大，$S_1$的漏极将会被快速充电至$V_{IN}$，阶段Ⅱ在$S_1$的漏源电压被充至$V_{IN}$时结束。

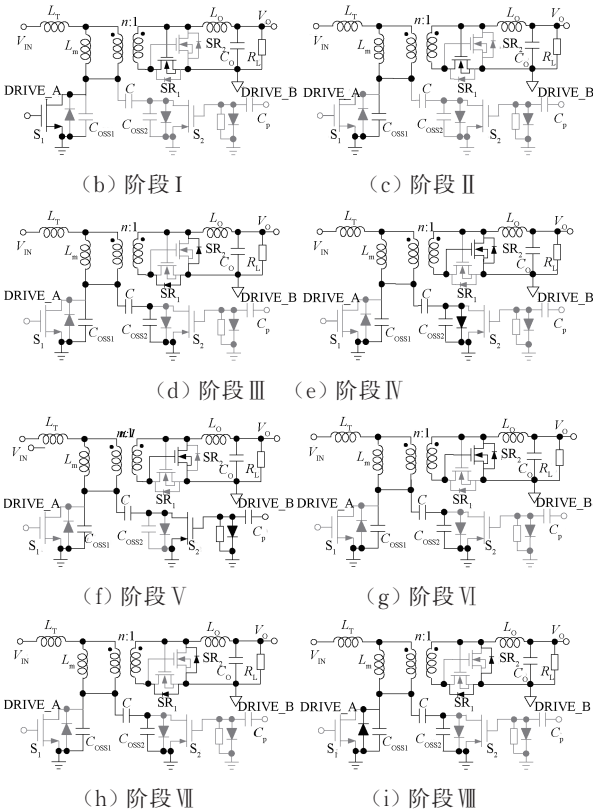
阶段Ⅲ（$t_2$～$t_3$），如图2（d）所示，在这个阶段的初始阶段，变压器的原边侧与副边侧2端电压均为0 V，同步整流管$SR_1$和$SR_2$全部关断而他们的寄生体二极管同时导通，副边侧电压将被箝位，原边侧$S_1$的源漏电压为$V_{IN}$，之后励磁电感$L_m$与$S_1$源漏寄生电容$C_{oss1}$继续谐振，其电压将会继续上升，在$t_3$时刻$SR_1$和$SR_2$完成换流，阶段Ⅲ在$S_1$源漏电压被充电至$V_{IN}/(1-D)$时结束（此时$S_2$的漏极电压为0 V），其中$D$为占空比。

阶段Ⅳ（$t_3$～$t_5$），如图2（e）所示，$S_1$漏电压继续上充直至$S_2$两端电压为$V_D$，$V_D$为$S_2$体二极管的导通压降，$t_4$时刻$S_2$的体二极管导通，在$t_3$时刻前开启$S_2$将导致ZVS失效，在$t_4$时刻后开启$S_2$，其体二极管将导通而使效率下降，故在（$t_3-t_4$）时间内开启$S_2$即可实现功率管的ZVS，图2（d）表示$S_2$导通在其体二极管导通之后以便完整地展示功率管的开启过程，

当$S_2$导通时，阶段Ⅳ结束。




（a）正激变换器稳定工作时关键波形




（b）阶段Ⅰ　（c）阶段Ⅱ

（d）阶段Ⅲ　（e）阶段Ⅳ

（f）阶段Ⅴ　（g）阶段Ⅵ

（h）阶段Ⅶ　（i）阶段Ⅷ

图2　正激变换器稳定时重要波形及工作状态

阶段Ⅴ（$t_5$～$t_6$），如图2（f）所示，在该阶段的初始时刻，隔离变压器原边侧$S_2$开启，箝位电容$C$下极板被下拉至地电位，变压器原边电感两端电压被箝位至$V_{IN}D/(1-D)$，电流将以$V_{IN}D/\left[(1-D)(L_m+L_r)\right]$斜率下降，此时变压器副边侧$SR_2$导通而$SR_1$关断，变压器磁芯开始复位，$L_O$进入续流阶段，阶段Ⅴ在辅助功率管关断时结束。

阶段Ⅵ（$t_6$～$t_7$），如图2（g）所示，初始时刻，$S_2$关断，励磁电感$L_m$和漏感$L_r$与$S_1$的寄生电容$C_{oss1}$发生谐振使主功率管源漏电压从$V_{IN}/(1-D)$下降，当该电压下降至$V_{IN}$时，阶段Ⅵ结束。

阶段Ⅶ（$t_7$～$t_8$），如图2（h）所示，在这阶段的初始时刻，$S_1$源漏电压为$V_{IN}$，变压器原边侧电压为0 V，副边侧$SR_1$和$SR_2$关断而他们的体二极管导通，之后变压器漏感继续与$S_1$寄生电容谐振使源漏电压降低，阶段Ⅶ在$S_1$的源漏电压降低至0 V时结束。

阶段Ⅷ（$t_8$～$t_9$），对应图2（i），阶段开始时主功率管的漏源电压为0 V，之后其体二极管打开，在其源漏电压低于0 V而未使体二极管打开时开启主功率管即可实现主功率管的ZVS，当主功率管开启，主功率管的源漏电压为0 V，隔离变压器原边侧电感压降为$V_{IN}$，将重复阶段Ⅰ的工作步骤，完成一次稳定的工作周期。

## 2　自适应ZVS架构及子模块原理

### 2.1　自适应ZVS架构及工作原理

基于上述有源箝位正激变换器工作过程，本文提出了一种自适应辅助功率管ZVS电路设计方案，其架构如图3所示，包括死区/交叠时间可调双管驱动模块、负高压逐周期过零采样模块以及状态检测与电阻置位模块。

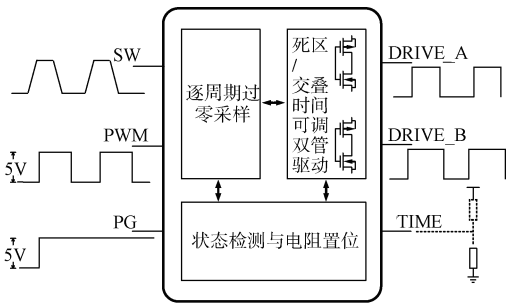



图3　自适应ZVS架构

该自适应ZVS整体工作原理如下。SW为箝位电容$C$下极板电压（辅助功率管$S_2$的漏极），在输入到芯片内部之前需要进行过零采样，该电路将在2.3节中介绍；PWM为芯片内部脉冲宽度调制信号，PG（Power Good）为芯片上电完成信号，当系统上电结束，且整个正激变换器环路稳定工作时，PG将由低电平翻转为高电平；DRIVE_A为主功率管$S_1$的驱动信号，DRIVE_B为辅助功率管$S_2$的驱动信号；当TIME端口接地或通过电阻接地时，DRIVE_A和DRIVE_B表现为交叠信号，而将TIME端口接5 V高电位或通过电阻接5 V高电位时，DRIVE_A和DRIVE_B将表现为死区信号；状态检测与电阻置位模块不仅检测逐周期过零采样的

信号，同时也检测TIME端口的信息：当TIME直接接地或5 V高电位时，自适应ZVS将被使能；当TIME通过电阻接地或5 V高电位时，自适应ZVS将被禁用，但用户可调节接入的电阻大小手动调节死区/交叠时间：电阻阻值越大，死区/交叠时间越长。

### 2.2　死区/交叠时间可调双管驱动模块工作原理

死区交叠时间产生电路如图4所示：VCC为控制芯片内部5 V电源轨，$V_A$和$V_B$通过浮动轨后产生外置功率管栅驱动信号DRIVE_A和DRIVE_B，误差放大器通过$M_5$和$M_6$将TIME电压箝位至2.5 V，在正常工作时，$M_5$和$M_6$中必有一个处于开启状态，而另一个则处于关断状态。当TIME所连接的电阻另一端接入高电平时，经过选通器后的输出信号$V_A$和$V_B$表现为死区时间，当TIME所连接的电阻另一端接入高地平时，输出信号$V_A$和$V_B$表现为交叠时间，时间大小由电阻$R_1$的阻值和内置$C_1$和$C_2$的值所决定，$C_1$和$C_2$的容值相等，$V_{G11}$、$V_{G17}$、$V_{G16}$和$V_{G22}$是配合为电容$C_1$和$C_2$充放电的逻辑信号。状态检测与电阻置位模块将在第4节介绍。

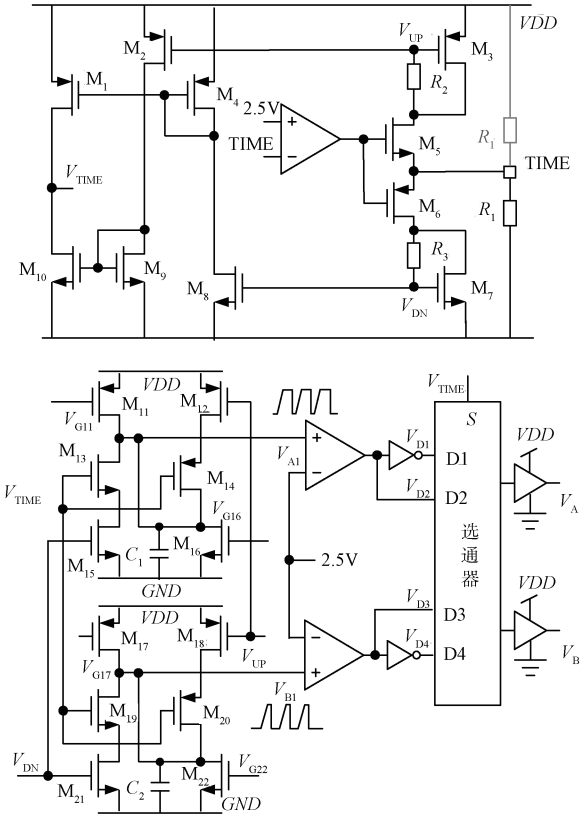



图4　死区/交叠时间产生电路

### 2.3　逐周期过零采样模块工作原理

逐周期过零采样电路包括正激变换器控制芯片外的初级耐压电路和芯片内的次级耐压电路。初级耐压电路位于正激变换器控制芯片外，次级耐压电路位于正激变换器控制芯片内；其在芯片中的位置和架构如图5所示。

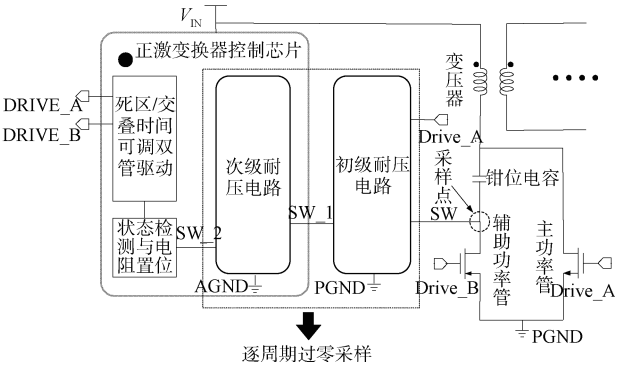



图5　逐周期过零采样的位置和架构

正激变换器控制芯片外初级耐压电路的输入端连接负高压采样点SW、主功率管控制信号DRIVE_A和功率地PGND信号，输出端连接正激变换器控制芯片内次级耐压电路，定义正激变换器控制芯片外初级耐压电路输出第1信号SW_1；正激变换器控制芯片内次级耐压电路由芯片内VDD电源轨供电，地线接于芯片内模拟地AGND信号，正激变换器控制芯片内次级耐压电路接收来自正激变换器控制芯片外初级耐压电路的产生的第一信号SW_1，最终输出信号第2信号SW_2作为最终的过零采样信号，第2信号SW_2作为判断辅助功率管工作状态的依据而接入正激变换器控制芯片中状态检测与电阻置位模块，再经由驱动电路产生主功率管控制信号DRIVE_A和辅助功率管控制信号DRIVE_B分别控制主功率管和辅助功率管从而提高系统的工作效率；正激变换器控制芯片由总输入电压$V_{IN}$供电，同时$V_{IN}$接于变压器原边侧绕组的正输入端。

如图6所示，逐周期过零采样电路中的负压驱动电路通过二极管和电容的串联结构得到负压驱动信号DRIVE_C，用来驱动功率MOS管$M_1$的栅极，功率MOS管$M_1$在承担压降的同时形成导电通路完成采样并将初级采样得到的电压信号SW_1施加在电阻$R_2$上，同时在输出与功率地之间接入齐纳二极管$D_2$用来削弱耐压管栅压导通时对于采样电压的串扰，主功率管驱动信号DRIVE_A由高变低后，主功率管$S_1$关断，同时负压驱动电路的输出信号DRIVE_C将由零电平向下翻得负电位驱动功率MOS管$M_1$，采样开始；辅助功率管漏极SW将由负高压迅速升高并穿越零电位直到将辅助功率管$S_2$

的体二极管正向导通，由于辅助功率管的体二极管和初级耐压电路中齐纳二极管均有较为强悍的电流泄放能力，SW信号一旦超越二极管的导通压降$V_D$，辅助功率管的体二极管和齐纳二极管正向导通将迅速箝位SW信号为$V_D$，而干扰信号对SW和SW_1的影响也将被削弱；正激变换器控制芯片外初级耐压电路的输出SW_1将SW信号大部分负压吸收并将过零部分保存，SW_1经由正激变换器控制芯片内次级耐压和电压跟随电路处理后得到SW_2，SW_2仅保留SW信号的过零部分。

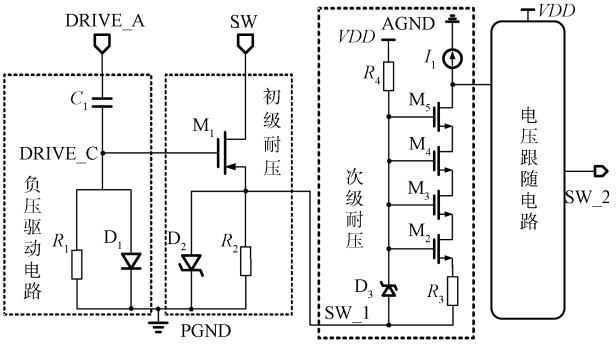



图6　逐周期过零采样电路

## 2.4　状态检测与电阻置位工作原理

状态检测与电阻置位模块的整体架构如图7所示：包括状态判断比较器、逻辑模块、可逆计数器、内置电阻网络以及使能端口。由于SW的过零信号非常短，且为了保证在调节内置电阻网络之后正激变换器环路的稳定性，故SW_2经采样保持电路后得到SW_3，为了增强SW_3的抗干扰性，采样保持电路使用了双重电容采样保持网络[11]；用于状态检测的两比较器的输入基准低电压$V_{GND}$≈5 mV稍高于地电位，高电压$V_{DIO}$≈500 mV接近但稍低于二极管的导通压降$V_D$。两比较器构成SW_3的电位检测器。当$V_{S1}$和$V_{S2}$均为低电平时，表现为SW信号无法到达0 V，死区/交叠时间过短，通过逻辑模块的判断和可逆计数器的正向计数，增加电阻值以增加死区/交叠时间；当$V_{S1}$和$V_{S2}$均为高电平时，说明SW达到了辅助功率管体二极管的导通压降，死区/交叠时间过长，通过逻辑判断和可逆计数器的逆向计数使电阻值降低以减少死区/交叠时间；当$V_{S1}$为高电平而$V_{S2}$为低电平，此时SW表现为过零而没有达到功率管体二极管的导通压降，故此刻开启的功率管可实现ZVS，此刻计数器的数值状态将被保存而使外置功率管工作在ZVS状态；$V_{S1}$为低电平而$V_{S2}$为高电平为禁止状态，计数器数值保持不变，因此干扰导致的计数器向错误方向计数须满足SW_3的变化量ΔSW_3＞500 mV；内置电阻网络共使用的85 kΩ电阻在0.18 μm工艺下仅额外占据0.14 mm²的版图面积，而其中计数器最低位控制的电阻仅为300 Ω，接入与否表现为死区/交叠时间皮秒级差异，而能使功率管ZVS的理想死区/交叠时间的最大值与最小值相差为纳秒级，故在片上电阻偏移目标值的前提下本设计仍能自修调使得死区/交叠时间理想化。

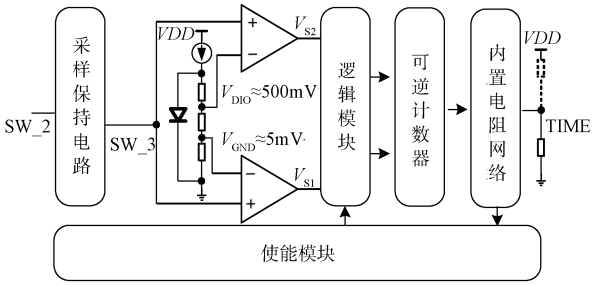



图7　状态检测与电阻置位模块架构

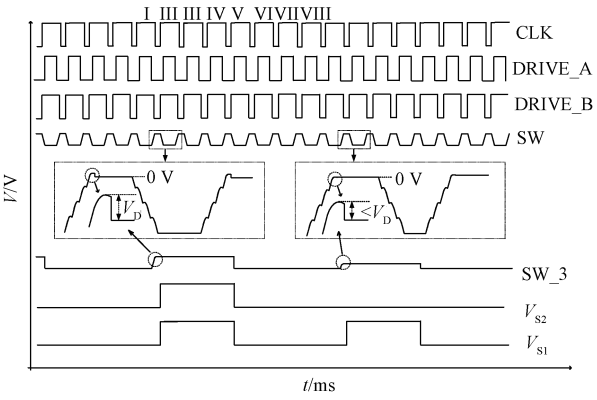



图8　状态检测与电阻置位模块的工作周期

如图8所示整个状态检测与电阻置位模块的工作周期。整个自适应ZVS电路每8个时钟周期为TIME端口所连接的内置电阻网络修调一次，前4个周期是系统的采样保持周期，后4个周期是为整个正激变换器环路稳定而预留的缓冲周期，故发生在修调过程中由于外接干扰导致的错误判断将在下一周期被刷新。第Ⅰ周期用于采样SW的过零部分，过零电压将会通过采样保持网络保存在采样电容中（SW_3），过零电压将在第Ⅱ周期与设定的电压值比较来判断外置功率管的工作状态，过零比较器的负端电压$V_{GND}$设置为5 mV防止$V_{S1}$的误翻转，由于SW过零部分的电压信号在正常工作时持续的时间非常短，故内部比较器的比较延迟将成为整个系统精度的关键，使用采样保持网络在第Ⅱ周期进

行比较可以最大程度的保留SW原始过零信息，同时微秒级的周期也为比较器延迟时间带来了更多的时间裕度；第Ⅲ周期时，内置电阻网络将被动态置位，而采样保持网络将在第Ⅳ周期清零，第Ⅴ、Ⅵ、Ⅶ、Ⅷ周期是为环路稳定预留的缓冲周期。在图8中的第一个检测周期，$S_2$在其体二极管导通之后导通，SW和SW_3过零之后的电压为$V_D$，此时自适应ZVS状态检测模块中$V_{S1}$和$V_{S2}$均为高电平，计数器将正向计数增加死区/交叠时间；在第二个检测周期，$S_2$变为在其体二极管导通之前导通，过零电压小于$V_{DIO}$，$V_{S1}$为高电平而$V_{S2}$为低电平，系统达到ZVS工作。

## 3　电路仿真结果

基于0.18 μm BCD工艺搭建本文所设计的自适应ZVS电路，将其接入有源箝位正激变换器中可实现逐周期外置功率管状态检测和内置电阻网络自修调功能。由于所设计的自适应ZVS的原理基于临界导通模型（CRM），故功率电感$L_O$、负载电容$C_O$及功率管的寄生电容等参数的不同所带来将不会影响自适应ZVS的准确性。有源箝位正激变换器输入电压36～78 V，输出电压3.3 V，最大负载电流30 A，仿真时有源箝位正激变换器所使用的外部器件类型及具体参数如表1所示。

图9为不同输入电压及不同负载电流条件下正激变换器效率曲线，由于自驱动同步整流在轻载下为强制CCM模式，反流所带来的功率耗散使得系统效率下降；在重载条件下，逐渐升高的输出电流使得功率管的导通损耗逐步增大，而在输入电压36 V输出电流10 A时系统达到的峰值效率高达94.7 %。

**表1　外部器件类型及参数**

| 类别 | 型号 | 符号 | 值 |
|---|---|---|---|
| 主功率管 | Si7846DP | $S_1$ | — |
| 辅助功率管 | Si7119DN | $S_2$ | — |
| 同步整流管 | Si7866DP | $SR_1$、$SR_2$ | — |
| 稳压齐纳二极管 | PLZ8V2B | $D_2$ | — |
| 变压器原边侧电感/μH | 平面变压器 | $L_m$ | 320 |
| 变压器副边侧电感/μH | 平面变压器 | $L_n$ | 8.8 |
| 变压器匝数比 | 平面变压器 | $n$ | 6 |
| 输出电感/μH | 功率电感 | $L_O$ | 2.0 |
| 箝位电容/nF | 高压电容 | $C$ | 500 |
| 输出电容/μF | 钽电容 | $C_O$ | 990 |

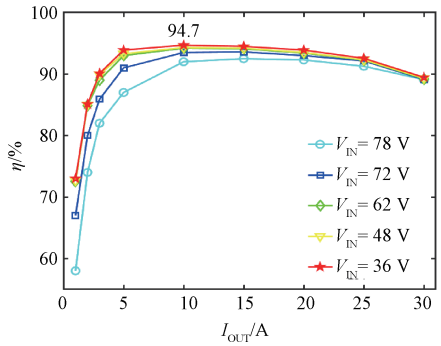



图9　不同输入电压与负载电流条件下的工作效率

本文提出的自适应ZVS有源箝位正激变换器与其他正激变换器效率参数对比如表2所示。

仿真结果如图10所示。在正激变换器全输入电压范围（36～78 V）及全负载范围内（1～30 A），本文所设计的自适应ZVS电路均能够使功率MOS达到理想开关状态，其中，$t_{OA\text{-}B}$为DRIVE_A下降沿至DRIVE_B上升沿时间。当输入电压为78 V，负载电流1 A时，$t_{OA\text{-}B}$达到最大值为230 ns，当输入电压为36 V，负载电流30 A时，$t_{OA\text{-}B}$达到最小值为230 ns。

**表2　本设计与其他文献指标对比（25 ℃）**

| 性能指标 | 本文 | [12] | [13] | [14] | [15] |
|---|---|---|---|---|---|
| 输入电压$V_{IN}$/V | 36～78 | 130～180 | 35～75 | 40～60 | 150 |
| 输出电压$V_{OUT}$/V | 3.3 | 5 | 2或5 | 3.3 | 32 |
| 输出电流$I_{OUT}$/A | 30 | 20 | 12 | 10 | 6.5 |
| 输出功率$P_{OUT}$/W | 100 | 100 | 60 | 33 | 200 |
| 整流方式 | 同步整流 | 同步整流 | 同步整流 | 同步整流 | 异步整流 |
| 磁芯复位方式 | 低侧有源箝位 | 高侧有源箝位 | 辅助绕组 | 辅助绕组 | 辅助绕组 |
| 工作频率$f$/kHz | 200 | 150 | 200 | 500 | 100 |
| 是否ZVS | 自适应ZVS | 否 | 否 | 否 | ZCS |
| 峰值效率$\eta$/% | 94.7 | 92.2 | 83 | 74 | 88.5 |

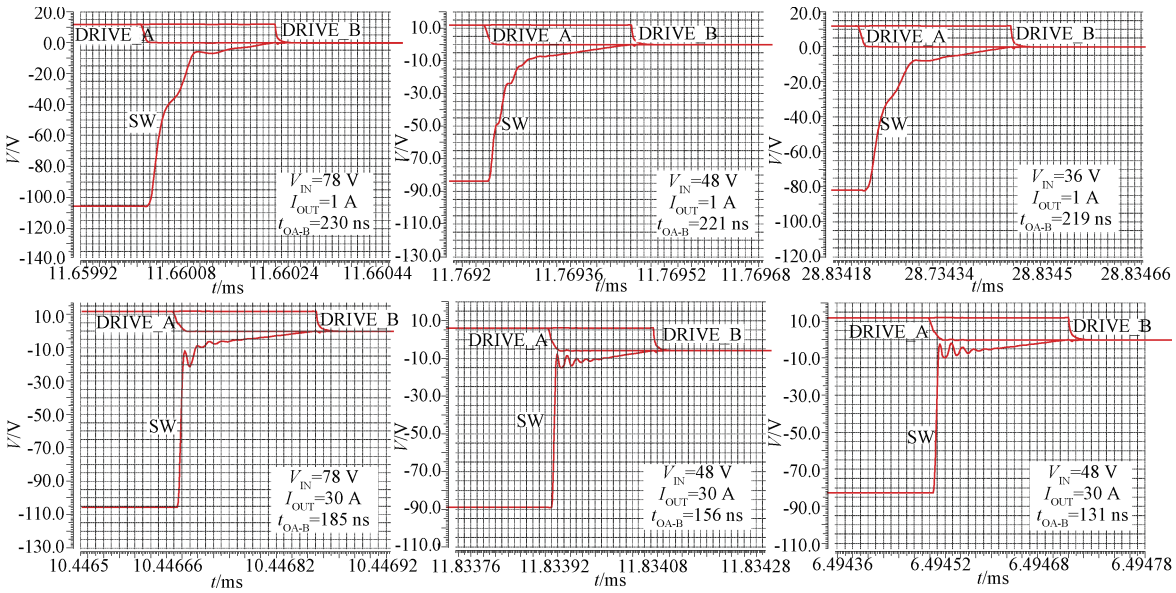



图10 不同输入电压与负载电流条件下达到ZVS

## 4 结 论

文章针对传统非隔离DC-DC变换器典型ZVS电路耐压受限,以及正激变换器片内ZVS难于实现的问题,提出了一种适用于有源箝位正激变换器的片内自适应ZVS电路。通过逐周期采样功率管体二极管2端压降和自修调的死区/交叠时间实现了芯片级自适应ZVS设计。基于0.18 μm BCD工艺设计而得的电路仿真结果表明:自适应ZVS电路能够使有源箝位正激变换器在全负载范围内(1~30 A)均工作在ZVS。此自适应ZVS设计同样适用于其他BUCK、BOOST以及BUCK-BOOST等拓扑结构的非隔离DC-DC变换器。

**参 考 文 献:**

[1] LIN B R, YANG C S, TSAY S C, et al. Analysis and implementation of an active clamp ZVS forward converter[C]//2005 IEEE International Conference on Industrial Technology. Hong Kong, China. 2006: 1427-1432.

[2] DHEERAJ A, RAJINI V. Comparison of active clamping circuits for isolated forward converter[C]// 2017 IEEE 6th International Conference on Renewable Energy Research and Applications. San Diego, CA, USA. 2017: 839-841.

[3] PAHLEVANINEZHAD M, DROBNIK J, JAIN P K, et al. A load adaptive control approach for a zero-voltage-switching DC/DC converter used for electric vehicles [J]. IEEE Transactions on Industrial Electronics, 2011, 59(2): 920-933.

[4] KASPER M, BURKART R M, DEBOY G, et al. ZVS of power MOSFETs revisited [J]. IEEE Transactions on Power Electronics, 2016, 31(12): 8063-8067.

[5] MARXGUT C, KRISMER F, BORTIS D, et al. Ultraflat interleaved triangular current mode (TCM) single-phase PFC rectifier[J]. IEEE Transactions on Power Electronics, 2014, 29(2): 873-882.

[6] SHEN Y F, JIANG Y L, ZHAO H, et al. Quadrilateral current mode paralleling of power MOSFETs for zero-voltage switching [J]. IEEE Transactions on Power Electronics, 2021, 36(5): 5997-6014.

[7] CONG L, LEE H. A 150V monolithic synchronous gate driver with built-in ZVS detection for half-bridge converters[C]//2018 IEEE Applied Power Electronics Conference and Exposition. San Antonio, TX, USA. 2018: 1861-1864.

[8] YANG S J, QIAN Z M, OUYANG Q, et al. An improved active-clamp ZVS forward converter circuit [C]//2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition. Austin, TX, USA. 2008: 318-322.

[9] LIU Z Y, HUANG Z R, LEE F C, et al. Digital-based interleaving control for GaN-based MHz CRM totem-pole PFC[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 808-814.

[10] WEI Y Q, LUO Q M, MANTOOTH H A.

Synchronous rectification for LLC resonant converter: An overview [J]. IEEE Transactions on Power Electronics, 2021, 36(6): 7264-7280.

[11] P A V, JACOB J. Design of sample and hold circuit with improved charge leakage and linearity for low power applications[C]//2022 IEEE 19th India Council International Conference. Kochi, India. 2022: 1-6.

[12] LIN B R, HUANG K, WANG D. Analysis, design, and implementation of an active clamp forward converter with synchronous rectifier [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2006, 53(6): 1310-1319.

[13] XI Y H, JAIN P K. A forward converter topology with independently and precisely regulated multiple outputs [J]. IEEE Transactions on Power Electronics, 2003, 18(2): 648-658.

[14] JI H K, KIM H J. Active clamp forward converter with MOSFET synchronous rectification [C]//Proceedings of 1994 Power Electronics Specialist Conference - PESC'94. Taipei, China. 1994: 895-901.

[15] ADIB E, FARZANEHFARD H. Analysis and design of a zero-current switching forward converter with simple auxiliary circuit [J]. IEEE Transactions on Power Electronics, 2012, 27(1): 144-150.