一种用于低功耗Buck的自适应供电轨LDO电路

彭怡然，罗　萍，赵　忠，连卓凡，李云泽
（电子科技大学 电子薄膜与集成器件国家重点实验室，成都 610054）

摘　要： 设计了一种旨在降低整体电路损耗的Buck变换器片内LDO电路。重点针对Buck变换器中片内电源轨生成电路LDO的损耗进行分析；通过复用Buck变换器的输出，在检测到Buck输出电压达到预设阈值时，自动将LDO供电轨从输入电压切换至Buck变换器的输出电压，从而实现了LDO功率管损耗的降低以及Buck变换器转换效率的提高。所提出的LDO电路可用于宽输入范围的Buck变换器。实验结果表明，在输入电压12 V、输出电压5 V的典型工作条件下，基于该结构的LDO，Buck变换器的转换效率最大可提升5%。

关键词： 低功耗Buck变换器；自适应控制；LDO
中图分类号：TN432；TM46　　**文献标志码：**A　　**文章编号：**1004-3365(2025)06-1013-07
DOI：10.13911/j.cnki.1004-3365.240457

An Adaptive Supply Low-dropout Regulator Circuit for Low-power Buck

PENG Yiran, LUO Ping, ZHAO Zhong, LIAN Zhuofan, LI Yunze
(*State Key Lab. of Elec. Thin Films and Integr. Dev.*, *Univ. of Elec. Sci. and Technol. of China*, *Chengdu* 610054, *P. R. China*)

Abstract: In this study. We designed a Buck on-chip low-dropout regulator (LDO) circuit that can reduce the overall circuit losses. It primarily analyzes the losses of the on-chip power rail generation circuit LDO in the Buck converter. It automatically switches the power supply rail of the LDO from the input voltage to its output voltage by reusing the output of the Buck converter when a relatively high output voltage of the Buck converter is detected. Thus, the losses on the power transistor of the LDO can be reduced and the conversion efficiency of the Buck converter can be improved. This LDO circuit can be used in Buck converters with a wide input range. The experimental results indicate that under the typical working conditions with an input voltage of 12 V and an output voltage of 5 V, the LDO based on this structure can improve the conversion efficiency of the Buck converter by up to 5%.

Key words: low-power buck converter; adaptive control; low-dropout regulator (LDO)

0　引　言

Buck变换器核心功能是将不稳定的输入直流电压转换为稳定的直流电压。高压应用下，Buck变换器需要一个内部低电压线性稳压器(Low-dropout Regulator，LDO)提供一个低的电源轨，为控制电路以及驱动电路供电[1]。

Buck变换器工作时存在损耗。降低损耗、提高转换效率对电路性能(如电路寿命、发热等)至关重要[2]。合理设计功率管尺寸，采用模式自动切换技术[3]或栅极分段技术[4]，可以降低功率管上的损耗；采用自适应死区时间控制[5]、自适应零电流检测(Zero Current Detector，ZCD)[6]技术可以降低功率管体二极管上的损耗；采用分块睡眠技术[7]可以降低控制电路的损耗。然而，Buck变换器内部LDO上的损耗不可忽视。设LDO输出电压为V_{DD}，传统架构中LDO的供电轨直接连接至输入电压V_{IN}，导

收稿日期：2024-12-17；**定稿日期：**2025-04-18
作者简介：彭怡然(2002—)，男(汉族)，湖北孝感人，硕士研究生，研究方向为模拟集成电路设计。
罗　萍(1968—)，女(汉族)，四川成都人，教授，博士生导师，研究方向为智能功率集成电路与系统。通信作者。

致LDO功率管上压降（$V_{IN}-V_{DD}$）较大，尤其是在高输入电压下，LDO损耗显著增加。

针对这一问题，本文提出了一种用于低功耗Buck变换器的自适应供电轨LDO，该LDO具有降低LDO功率管损耗并提高Buck变换器整体转换效率的能力。

文章第1节对Buck变换器损耗进行了分析，重点分析在LDO上产生的损耗；第2节介绍本文所提出的自适应供电轨LDO电路的工作流程、原理和设计条件；第3节介绍关键子电路的设计；第4节给出电路的仿真条件，验证所提出LDO对Buck变换器转换效率的提升效果；第5节为本文总结。

1　Buck变换器损耗建模与分析

1.1　开关损耗与导通损耗

对Buck变换器损耗进行建模，Buck变换器功率管与寄生参数的电路如图1所示。Buck变换器供电电压为V_{IN}，输出电压为V_{OUT}。驱动电路对上功率管MH（后文称为上管）和下功率管ML（后文称为下管）的栅等效电容（C_{GH}、C_{GL}）充电，将栅源电压V_{GS}充至驱动电压V_{Drive}（$V_{Drive}>V_{TH}$）。

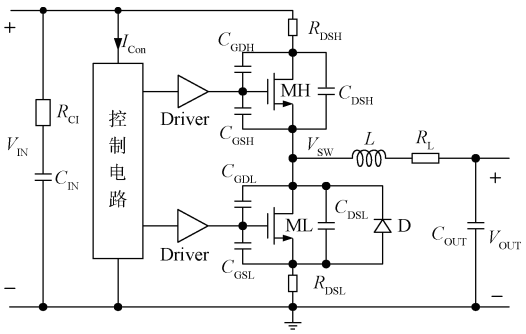


图1　Buck变换器功率管与寄生参数的电路示意图

功率管存在栅电容。如图1所示，Buck变换器上管MH和下管ML的栅极等效电容分别为$C_{GH}=C_{GSH}+C_{GDH}$、$C_{GL}=C_{GSL}+C_{GDL}$。设$C_G=C_{GH}+C_{GL}$，f_{SW}为电路开关频率。功率管的驱动损耗为：

$$P_{Drive}=f_{SW}V_{IN}V_{Drive}(C_{GH}+C_{GL}) \tag{1}$$

SW点存在寄生电容，记为C_{SW}。如图1所示，Buck变换器上管MH和下管ML在SW点产生的寄生电容分别为$C_{SWH}=C_{DSH}+C_{GDH}$、$C_{SWL}=C_{DSL}+C_{GDL}$。SW点寄生电容放电产生的放电电流会被电感L吸收，因此SW点的开关损耗为：

$$P_{SW}=\frac{1}{2}V_{IN}^{2}(C_{SWH}+C_{SWL})f_{SW} \tag{2}$$

上管MH和下管ML存在导通电阻R_{DSH}和R_{DSL}；电感存在寄生电阻R_L，如图1所示。设Buck变换器SW点占空比为D，电感电流的有效值为I_{OUTRMS}，寄生电阻有效值为R_{RMS}。导通损耗（CCM模式下）为：

$$P_{Cond}=I_{OUTRMS}^{2}R_{RMS}=I_{OUTRMS}^{2}\left[R_L+DR_{DSH}+(1-D)R_{DSL}\right] \tag{3}$$

由于密勒平台效应[8]，上管MH在开启与关闭过程中存在交叠损耗。设开启与关闭的交叠时间均为t_{Cross}，则交叠损耗为：

$$P_{Cross}=t_{Cross}I_{OUT}V_{OUT}f_{SW} \tag{4}$$

1.2　LDO功率管损耗

对LDO功率管损耗进行建模。将LDO功率管等效为一个可控电阻，其阻值与LDO供电轨电压和输出负载有关，设LDO输出电压为V_{DD}。LDO供电架构如图2所示。

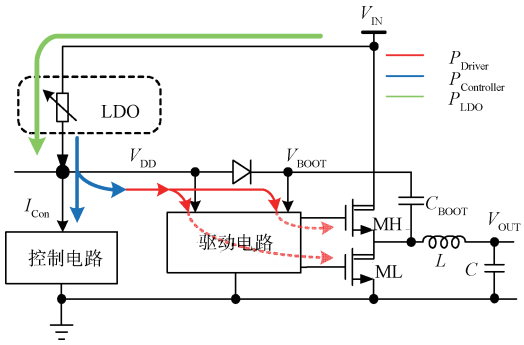


图2　传统Buck变换器中LDO供电架构图

LDO功率管上的压降为（$V_{IN}-V_{DD}$）。控制器电流I_{Con}与驱动电流$f_{SW}V_{Drive}C_G$均流过LDO功率管，则LDO功率管上的损耗为：

$$P_{LDO}=(V_{IN}-V_{DD})(I_{Con}+f_{SW}V_{Drive}C_G) \tag{5}$$

驱动电压V_{Drive}等于LDO输出电压V_{DD}：

$$V_{Drive}=V_{DD} \tag{6}$$

控制电路损耗和驱动电路损耗之和被记为：

$$P_{Controller}=(I_{Con}+C_GV_{DD}f_{SW})V_{DD} \tag{7}$$

值得注意的是，$P_{Controller}$与P_{LDO}之和包含了Buck变换器功率管驱动损耗（$P_{Drive}=f_{SW}V_{IN}V_{Drive}C_G$）。

1.3　自适应供电轨低功耗原理

设Buck变换器输出功率为P_{OUT}。基于1.2节和1.3节的损耗分析，Buck变换器整体损耗P_{Loss}与整体转换效率η的表达式为：

$$P_{loss}=P_{LDO}+P_{SW}+P_{Cross}+P_{Controller}+P_{Cond} \tag{8}$$

$$\eta=\frac{P_{OUT}}{P_{OUT}+P_{Loss}} \tag{9}$$

本文设计的自适应供电轨LDO供电架构如图

3 所示。

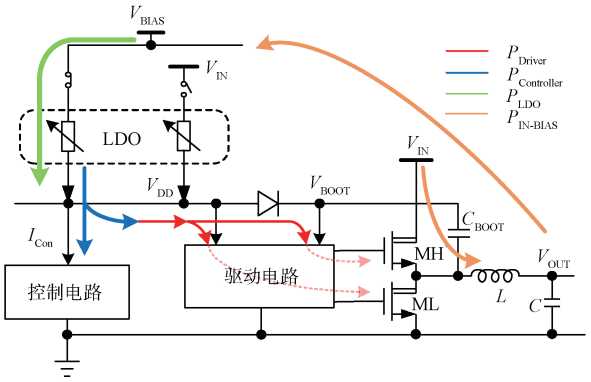


图 3　自适应供电轨 LDO 供电架构图

当 LDO 供电轨切换为 V_{BIAS} 时，LDO 功率管上压降为（$V_{BIAS}-V_{DD}$），LDO 功率管上损耗为：

$$P_{LDO}=(V_{BIAS}-V_{DD})(I_{Con}+f_{SW}V_{Drive}C_G) \tag{10}$$

当 V_{BIAS} 低于 V_{IN} 时，相较于式（5），LDO 功率管损耗下降。根据电荷守恒原理，流经 LDO 功率管的电流（电荷）来自 V_{IN} 端。降低电流从 V_{IN} 端流至 V_{BIAS} 端过程中的损耗（记为 $P_{IN-BIAS}$）是设计关键。本设计将 V_{BIAS} 供电轨与 Buck 输出电压端 V_{OUT} 连接，降低电流从 V_{IN} 端流至 V_{BIAS} 端过程中的损耗：

$$V_{BIAS}=V_{OUT} \tag{11}$$

将 V_{BIAS} 供电轨与 Buck 输出电压端 V_{OUT} 连接，电荷仅在上管 MH 开启时，从 V_{IN} 端口流入。电荷经过上管 MH，将能量储存在电感 L 与电容 C 中，同时释放为输出电流。当下管 ML 开启时，释放的能量通过下管 ML 为输出电流续流。忽略电感 L 和电容 C 的寄生电阻、磁场泄漏及电场泄漏等非理想因素，LDO 所需电流（$I_{Con}+f_{SW}V_{Drive}C_G$）从 V_{IN} 端口流至 V_{BIAS} 端口产生的损耗为：

$$P_{IN-BIAS}=\left(I_{Con}+f_{SW}V_{Drive}C_G\right)^2\times\left[DR_{DSH}+(1-D)R_{DSL}\right] \tag{12}$$

而 V_{BIAS} 供电轨连接 V_{OUT} 后，节省的 LDO 功率管损耗为式（5）与式（10）之差：

$$P_{Save}=(V_{IN}-V_{BIAS})(I_{Con}+f_{SW}V_{Drive}C_G) \tag{13}$$

通常情况下，$[DR_{DSH}+(1-D)R_{DSL}]$ 为 10 mΩ 量级，$(I_{Con}+f_{SW}V_{Drive}C_G)$ 为 1 mA 量级，$(V_{IN}-V_{OUT})$ 为 1 V 量级。对比式（12）与（13），节省的 LDO 功率管损耗 P_{Save} 显著大于增加的导通损耗 $P_{IN-BIAS}$。因此，V_{BIAS} 供电轨连接至 V_{OUT} 时，将为 Buck 变换器节省较大损耗。

为了降低功耗，低功耗 Buck 变换器在负载减小时会降低开关频率，从而平衡导通损耗 P_{Cond} 和开关损耗 P_{SW}[7]。在 Buck 变换器轻载下，P_{Cond}、P_{SW} 及 P_{Cross} 均减小，P_{LDO} 在 P_{Loss} 中占据更大的比例。因此，在低功耗 Buck 变换器轻载下，自适应供电轨 LDO 对整体效率的提升更大。

2　自适应供电轨 LDO 工作原理

2.1　自适应供电轨 LDO 工作流程

将 LDO 供电轨由 V_{IN} 切换至 V_{BIAS}，可以节省 Buck 变换器损耗。然而 LDO 为降压输出电路，当 V_{OUT} 低于 V_{DD} 时，LDO 无法正常工作。因此，本文设计了 LDO 供电轨自适应切换功能。自适应供电轨 LDO 工作流程如图 4 所示。

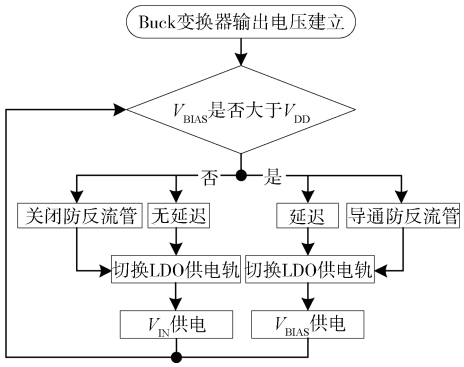


图 4　自适应供电轨 LDO 工作流程图

在 Buck 变换器输出电压建立后，自适应供电轨 LDO 开始工作。电路将检测 V_{BIAS} 电压是否大于 LDO 的输出电压 V_{DD}；当 V_{BIAS} 大于 V_{DD} 时，导通防反流管，并在一定的延迟后切换 LDO 的供电轨至 V_{BIAS}；当 V_{BIAS} 小于 V_{DD} 时，为防止电流通过体二极管从 V_{DD} 倒灌至 V_{BIAS}，关闭防反流管；并立刻切换 LDO 供电轨至 Buck 变换器输入电压 V_{IN}。输出电压建立后电路持续监测 V_{BIAS}。

2.2　自适应供电轨 LDO 工作原理

自适应供电轨 LDO 工作原理如图 5 所示。V_{REF} 为 Buck 变换器内部基准电路提供的基准电压，根据 LDO 的工作原理，输出的电压 V_{DD} 为：

$$V_{DD}=\frac{(R_1+R_2)}{R_1}V_{REF} \tag{14}$$

本设计中，自适应供电轨 LDO 的输入电压端 V_{BIAS} 与 Buck 变换器输出级输出电压端 V_{OUT} 连接。使能电路用于检测电压 V_{BIAS} 与电压 V_{DD} 的大小；振荡器用于输出时钟信号 CLK；延迟电路用于参考时钟信号 CLK 以产生固定的延迟时间；电荷泵用于参考时钟信号 CLK 以输出高电压导通防反流管。

当 $V_{BIAS}>V_{DD}$ 时，使能电路将开启振荡器、延迟

电路和电荷泵。电荷泵输出电压V_{EN}为高，导通防反流管；在固定的延迟后，切换LDO供电轨至V_{BIAS}。当$V_{BIAS}<V_{DD}$时，使能电路将关闭振荡器、延迟电路与电荷泵。电荷泵输出电压V_{EN}为低，关闭防反流管；立刻切换LDO供电轨至V_{IN}。具体电路细节见第3节。

为了降低电路复杂度和设计成本，不同供电轨的LDO输出级共用误差放大器和环路补偿网络。

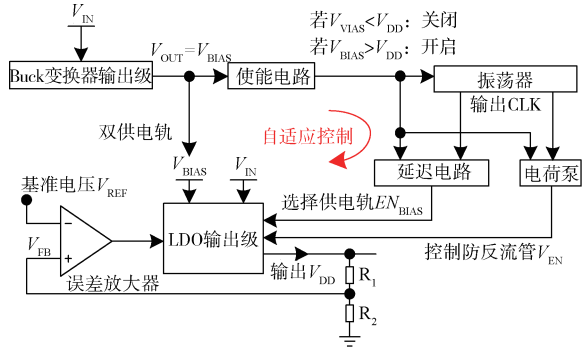


图5　自适应供电轨LDO原理图

2.3　自适应供电轨LDO的设计条件

本设计中Buck变换器具有宽输入范围，输入电压V_{IN}范围为4 V至60 V、输出电压V_{OUT}的范围为1 V至30 V。典型工作条件为输入电压12 V，输出电压5 V。Buck变换器具有低功耗功能，在负载较小时降低开关频率。自适应供电轨LDO输出电压V_{DD}=3.3 V。Buck变换器内部基准电压V_{REF}=1 V。电路基于180 nm BCD（Bipolar-CMOS-DMOS）工艺。不同类型MOS管图例如表1。

表1　MOS管类型与图例

器件	类型	图例
低压MOS管	5 V MOS	
高压MOS管	60 V LDMOS	

3　关键电路设计

3.1　误差放大器与LDO输出级

误差放大器与LDO输出级如图6所示。误差放大器第一级由电流源M_{P1}，输入管M_{P2}、M_{P3}，有源负载M_{N1}、M_{N2}，源极负反馈电阻R_1、R_2组成。电流源M_{P1}栅压由Buck变换器内部电流基准模块给出。误差放大器第二级由共源输入管M_{N4}，输出管M_{P4}、M_{P6}组成。LDO输出级由M_{P5}、M_{P7}，防反流管M_{N6}，分压反馈电阻网络R_5、R_6，输出片外电容C_2，等效输出负载R_{Load}组成。电路的补偿由电容C_1和电阻R_7组成。供电轨选择管为M_{N3}、M_{N5}。M_{N7}为LDO使能管，栅极受Buck变换器内部模块输出的PGOOD信号控制，在Buck变换器正常上电后，PGOOD被拉低，LDO开始工作。

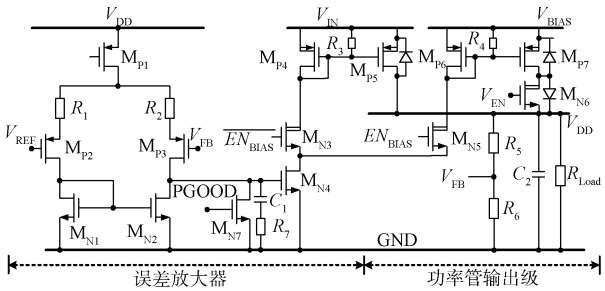


图6　误差放大器与LDO输出级电路结构

为了降低LDO电路的功耗，电流源M_{P1}的设计电流较小。然而，这导致误差放大器增益较高，增加了环路补偿的难度。设计源极反馈电阻R_1、R_2，降低误差放大器增益以便于补偿设计。

当LDO工作在轻载时，采用二极管连接的M_{P4}、M_{P6}等效输出电阻会增大，导致LDO环路增益增大，难以进行环路补偿。设计电阻R_3、R_4与M_{P4}、M_{P6}并联，降低轻载下误差放大器输出电阻和环路增益。

令$g_{mp3}R_2\gg1$、$g_{mp3}r_{op3}\gg R_2$，M_{P1}源漏等效阻抗无穷大，$R_{Load}\ll r_{op5}$、$R_{Load}\ll R_5+R_6$，则误差放大器的增益A_{EA}为：

$$A_{EA}\approx\frac{r_{on2}}{R_2}\times g_{mn4}\left(\frac{1}{g_{mp4}}\parallel R_3\right) \tag{15}$$

LDO整体环路的增益A_{LDO}为：

$$A_{LDO}\approx A_{EA}\times g_{mp5}R_{Load} \tag{16}$$

式中，r_{on}、r_{op}分别为NMOS和PMOS的源漏等效阻抗。

LDO环路存在多个极点：

$$p_1\approx\frac{1}{R_{Load}C_2} \tag{17}$$

$$p_2\approx\frac{1}{r_{on2}C_{Gn4}} \tag{18}$$

$$p_3\approx\frac{1}{\left(\frac{1}{g_{mp4}}\parallel R_3\right)C_{Gp5}} \tag{19}$$

图6中C_2和r_{on2}的值较大，故极点p_1、p_2所在频率较低；M_{P4}等效阻抗较小，则极点p_3所在频率较高。因此极点p_1和p_2在增益-带宽（Gain-Bandwidth，GBW）内，极点p_3在GBW外。为保证环

路稳定，在误差放大器加入 C_1、R_7 第一级补偿网络，引入零点，将该零点 z 置于 GBW 内，完成补偿，表达式为：

$$z=\frac{1}{R_7C_1} \tag{20}$$

设置 3 种负载电流 I_{Load} 条件：轻载 10 μA、中载 1 mA 和重载 10 mA，在不同负载条件下，对 LDO 环路稳定性进行仿真。环路稳定性仿真结果如图 7 所示。LDO 环路在重载 10 mA 时相位裕度（Phase Margin，PM）最小，为 50°；GBW 最大，为 15 kHz。在不同的负载条件下，GBW 内最小相位为 45°。根据仿真结果，在不同负载条件下，LDO 环路均具有良好的相位裕度，环路稳定工作。

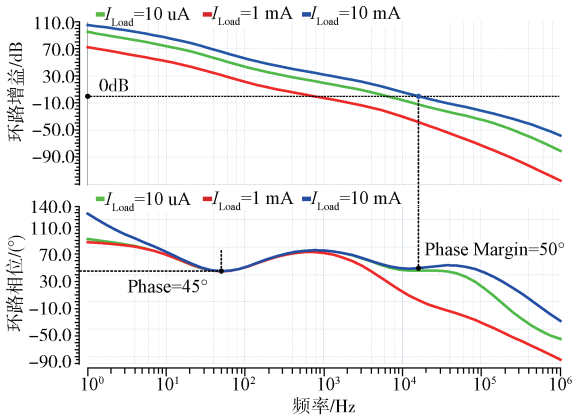


图 7　LDO 环路稳定性仿真

3.2　振荡器与使能延迟电路

如图 5 和图 6 所示，防反流管 M_{N6} 的栅极电压 V_{EN}，在 LDO 切换至 V_{BIAS} 轨供电时，需抬升至大于（$V_{\mathrm{DD}}+V_{\mathrm{TH}}$）。振荡器与电荷泵电路如图 8 所示。

振荡器使用张弛振荡器，电路如图 8 左半部分所示。M_{P2}～M_{P4} 与 M_{N1}、M_{N4} 和 M_{N5} 构成反相器串，M_{P1}、M_{N2} 为电流源管，C_1 为充电电容。设电流源管 M_{P1} 和 M_{N2} 电流均为 I_1，则振荡器周期为：

$$T_{\mathrm{s}}=\frac{V_{\mathrm{DD}}C_1}{I_1} \tag{21}$$

电荷泵电路如图 8 所示右半部分。由二极管 D_1、D_2，电容 C_2、M_{P5}、M_{N6}、M_{N7} 和 M_{N8} 构成。时钟信号 CLK 为电荷泵提供定频脉冲。电荷泵将 C_2 右极板电压抬升至 $2V_{\mathrm{DD}}$（$2V_{\mathrm{DD}}>V_{\mathrm{DD}}+V_{\mathrm{TH}}$），通过二极管 D_2 为 V_{EN} 供电。电路使能为 BIAS_OK，受使能电路控制。当 BIAS_OK 为高时，启动振荡器与电荷泵。

为防止 V_{BIAS} 不稳定、误触发供电轨切换，设计了使能电路与延迟电路，电路结构如图 9 所示。

电阻 R_1，R_2 构成分压电阻网络，当 V_{BIAS} 满足：

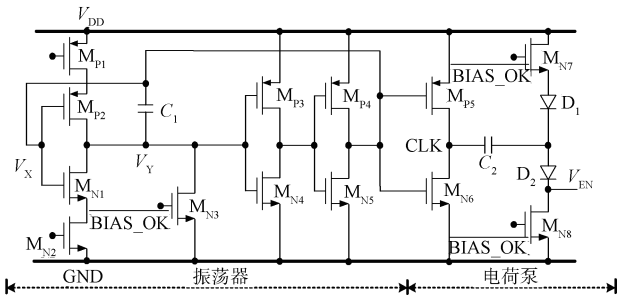


图 8　振荡器与电荷泵电路结构

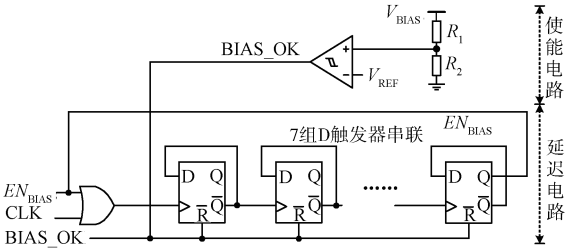


图 9　自适应供电轨 LDO 使能延迟电路结构

$$V_{\mathrm{BIAS}}>\frac{R_1+R_2}{R_2}V_{\mathrm{REF}}=V_{\mathrm{DD}} \tag{22}$$

触发使能 BIAS_OK 为高，启动振荡器输出时钟信号 CLK；同时拉低 EN_{BIAS}，D 触发器被启动；经过 64 个 CLK 时钟周期后，拉高 EN_{BIAS}，使得 LDO 电路选择 V_{BIAS} 供电轨。当 V_{BIAS} 不满足式（22）时，触发 BIAS_OK 为低，关闭振荡器，D 触发器置零；同时拉低 EN_{BIAS}，使得 LDO 电路选择 V_{IN} 供电轨。

在 LDO 负载电流 1 mA 下，LDO 供电轨自适应切换仿真结果如图 10 所示。

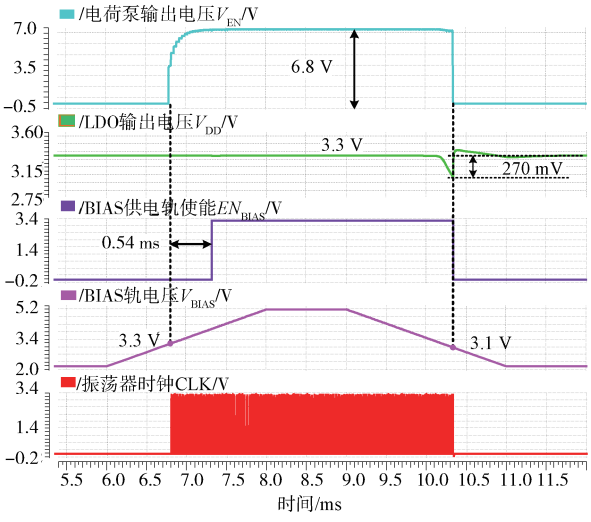


图 10　LDO 自适应供电轨效果仿真结果

当 V_{BIAS} 上升，大于 3.3 V 时，振荡器时钟被触发。64 个周期（约 0.54 ms）后，翻高 EN_{BIAS}，LDO 供电轨切换至 V_{BIAS}；当 V_{BIAS} 下降，低于 3.1 V 时立即翻低 EN_{BIAS}，LDO 供电轨切换至 V_{IN}。电路具有自

适应切换供电轨的能力。

4　电路仿真结果

为了验证自适应供电轨LDO对Buck变换器转换效率的提升，在Buck变换器3种工作条件下：输入电压8 V/ 12 V/ 24 V、输出电压5 V、开关频率1 MHz，分别选择供电轨自适应（V_{BIAS}端连接V_{OUT}）和供电轨固定V_{IN}功能（V_{BIAS}端连接GND）。对负载电流I_{OUT}进行1 mA至3.5 A的扫描，测量Buck变换器转换效率。

低功耗Buck变换器Testbench如图11所示，由输出电感L、输出电容C_{OUT}、LDO片外补偿电容C_1、电阻分压网络R_1、R_2和电流负载I_{OUT}组成。功能选择开关可以选择供电轨是否自适应。

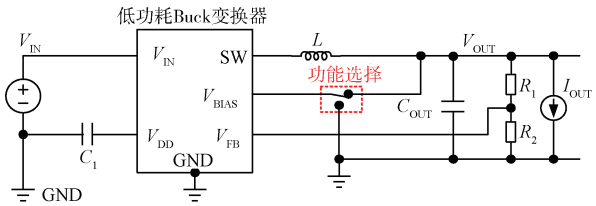
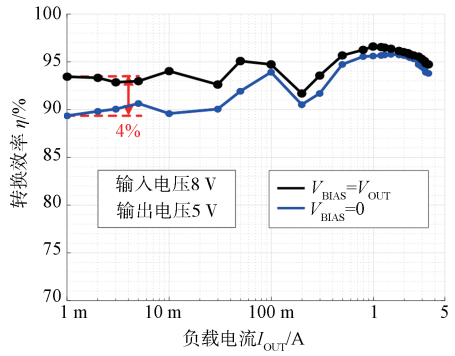
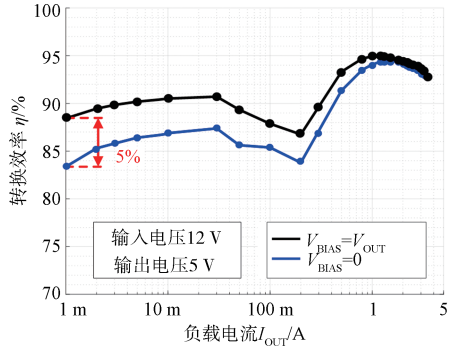


图11　低功耗Buck变换器Testbench

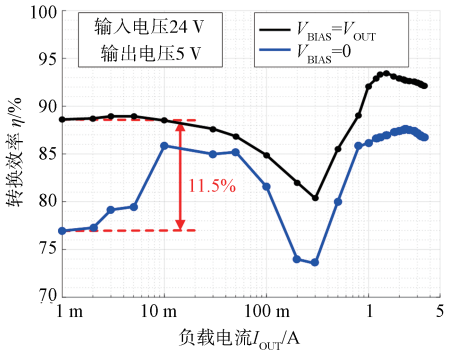
在不同输入电压下，比较是否使用LDO供电轨自适应功能的Buck变换器转换效率曲线如图12所示。



（a）8 V



（b）12 V



（c）24 V

图12　不同V_{IN}下，是否使用供电轨自适应功能效率对比图

在输入电压8 V的条件下，最大效率提升为3.5%；在典型工作条件：输入电压12 V下，在100 mA至3.5 A范围内，转换效率平均提升1%；在1 mA至100 mA范围内，转换效率平均提升4%；电路在负载为1 mA时，转换效率提升效果最显著，达5%；输入电压为24 V时，最大效率提升为10.5%。可见自适应供电轨LDO在Buck变换器轻载工作下，具有更大的转换效率提升能力，符合第2节的理论分析。

将Buck变换器的损耗分解为控制电路损耗、驱动损耗、导通损耗、开关损耗和其它损耗，如图13所示。根据第1节式（5）和式（10）可知，启用供电轨自适应功能后，LDO功率管上损耗应降低至原值的（1−V_{DD}/V_{OUT}）倍。根据图13所示，启用LDO自适应供电轨功能后，电路的驱动损耗与控制电路损耗，比启用供电轨自适应功能前减小了7/12；同时导通损耗增加了0.9 mW，远小于节省的LDO损耗67.4 mW。符合第2节理论分析。将仿真结果与先进文献进行对比，如表2所示。根据对比，本文提出的自适应供电轨LDO在宽输入范围内，实现了最高96.6%的峰值效率，最高93%的轻载效率，优于相关文献，具有优秀的效率提升能力。

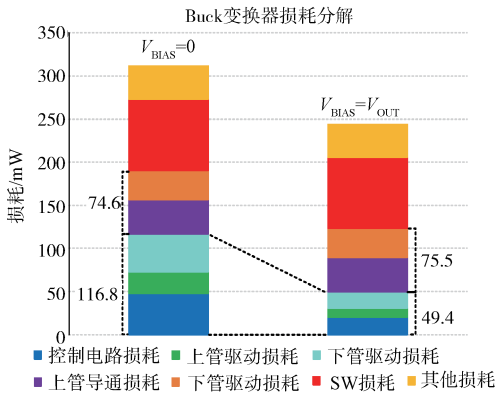


图13　输入电压12 V条件下Buck变换器损耗分解

表 2　带自适应供电轨 LDO 的 Buck 变换器与相关文献对比

参数	文献[3]	文献[6]	文献[7]	本文
制程/nm	180	65	130	180
输入电压/V	5.5～30	3	2.2～3.3	4～60
输出电压/V	3～15	0.8～1.8	1.7	1～30
轻载效率峰值	68%	78.2%	82.7%	93%
整体效率峰值	94%	95%	92.4%	96.6%

5　总　结

本文提出了一种用于低功耗 Buck 变换器的自适应供电轨 LDO。重点研究了 Buck 变换器系统中 LDO 结构与损耗之间的关系。基于降低 LDO 功率管损耗的分析,提出了一种具有自适应切换供电轨功能的 LDO,该技术同时适用于宽输入电压范围的 Buck 变换器。仿真结果显示,在输入电压 12 V,输出电压 5 V 的典型工作条件下,启动 LDO 供电轨自适应功能后,中载重载下效率提升平均 2%;轻载下效率平均提升 4%;最大效率提升 5%;在仿真的不同工作条件下,最大效率提升可达 10.5%。综合仿真结果,自适应供电轨 LDO 能够显著提升 Buck 变换器转换效率。

参 考 文 献:

[1] WANG X Y, MERCIER P P. A dynamically high-impedance charge-pump-based LDO with digital-LDO-like properties achieving a sub-4-fs FoM [J]. IEEE Journal of Solid-State Circuits, 2020, 55(3): 719-730.

[2] MAI Y Y, MOK P K T. A constant frequency output-ripple-voltage-based buck converter without using large ESR capacitor[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2008, 55(8): 748-752.

[3] BESHARATI RAD A, KARGARAN M, MEGHDADI M, et al. A wide-input-/ output-voltage-range buck converter with adaptive light-load efficiency improvement and seamless mode transition [J]. IEEE Transactions on Power Electronics, 2024, 39(2): 2200-2212.

[4] LUO M, LUO P, MO Y K. An adaptive segment output stage for PWM DC-DC converter[C]//2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology. Xi'an, China. 2013: 1-3.

[5] CHANG G Z, LIU Y, KI W H. A 24V-to-1V hybrid converter with adaptive dead time control for point-of-load applications [C]//2024 IEEE International Symposium on Circuits and Systems. Singapore, Singapore. 2024: 1-5.

[6] ZHANG Y C, TANG C W, ZHENG Y Q, et al. An adaptive zero-current detector for single-inductor multiple-output DC-DC converter with full-wave current sensor[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024, 32(9): 1764-1768.

[7] PARK Y J, PARK J H, KIM H J, et al. A design of a 92.4% efficiency triple mode control DC - DC buck converter with low power retention mode and adaptive zero current detector for IoT/wearable applications[J]. IEEE Transactions on Power Electronics, 2017, 32(9): 6946-6960.

[8] SUN Y, ADRIAN V, CHANG J S. Power-loss and design space analyses for fully-integrated switched-mode DC-DC converters[C]//2018 IEEE International Symposium on Circuits and Systems. Florence, Italy. 2018: 1-4.