相变存储器电阻的线性控制研究

涂成财[1], 吴良才[1], 陈小刚[2], 朱 帅[3], 焦振浩[2], 洪 涛[2], 戴魏邦[2], 宋志棠[2]
(1. 东华大学 物理学院,上海 201620; 2. 中国科学院 上海微系统与信息技术研究所 信息功能材料国家重点实验室,上海 200050; 3. 中国农业大学 土地科学与技术学院,北京 100091)

摘 要: 相变存储器(Phase Change Memory,PCM)通过相变材料在晶态和非晶态之间的电阻变化实现数据存储。然而,现有优化策略在电阻线性分布控制方面存在不足,主要体现在脉冲参数选择的复杂性,导致读写性能的准确性及稳定性下降。针对这一问题,提出通过调整RESET和SET脉冲的幅度以及增加脉冲重复次数,系统地探索了对PCM电阻线性特性的影响。实验结果表明,该组合策略能够有效提升电阻分布的精度和线性度。最终筛选出最佳脉冲参数,提出了一种简便高效的优化方案,为PCM性能的提升提供了理论和实验支持。

关键词: 相变存储器; 电阻线性控制; RESET/SET脉冲组合; 脉冲优化策略
中图分类号: TN432;TP333 **文献标志码:** A **文章编号:** 1004-3365(2025)06-0971-06
DOI: 10.13911/j.cnki.1004-3365.250002

Study on the Linear Control of Resistance of Phase Change Memory

TU Chengcai[1], WU Liangcai[1], CHENG Xiaogang[2], ZHU Shuai[3], JIAO Zhenhao[2], HONG Tao[2], DAI Weibang[2], SONG Zhitang[2]
(1. *College of Physics DongHua University*, *Shanghai* 201620, *P. R.China*; 2. *State Key Laboratory of Functional Materials for Informatics*, *Shanghai Institute of Micro-System and Information Technology*, *Chinese Academy and Sciences*, *Shanghai* 200050, *P. R. China*; 3. *College of Land Science and Technology*, *China Agricultural University*, *Beijing* 100091, *P.R. China*)

Abstract: Phase change memory (PCM) stores data through resistance changes between the crystalline and amorphous states in the phase change materials. However, the existing optimization strategies face limitations in controlling the linear resistance distribution. These limitations are primarily attributed to the complexity of pulse parameter selection, thereby reducing the accuracy and stability of read-write performance. In this study, we systematically investigated the effects of adjusting the amplitude of RESET and SET pulses and increasing the pulse repetition on the linear characteristics of PCM resistance. The experimental results indicated that this combined strategy effectively enhanced the precision and linearity of the resistance distribution. Optimal pulse parameters were identified, and a simple and efficient optimization scheme was proposed, thereby providing theoretical and experimental support to enhance the PCM performance.

Key words: phase change memory; linear resistance control; the combination of RESET and SET pulses; pulse

0 引 言

随着信息技术和人工智能(AI)的快速发展,存储器性能的提升直接影响计算系统的效率和可靠性。同时,摩尔定律逼近极限,传统硅基存储技术逐渐面临瓶颈,同时神经网络和类脑计算对存储密度、功耗和速度提出了更高要求,“存储墙”问题限制了

收稿日期: 2025-01-03;**定稿日期:** 2025-03-20
基金项目: 上海市自然科学基金项目(22ZR1402200);集成电路材料全国重点实验室开放课题(NKLJC-K2023-08);上海市科学技术委员会项目(19JC1416802)
作者简介: 涂成财(2002—),男(汉族),安徽六安人,硕士研究生,研究方向为相变存储器电阻的线性变化。
吴良才(1971—),男(汉族),安徽安庆人,博士,教授,研究方向为相变存储器及其应用。通信作者。
陈小刚(1976—),男(汉族),湖北孝感人,博士,正高级工程师,研究方向为相变存储器测试及应用。通信作者。

传统冯·诺依曼架构的计算效率。为解决这一问题,IBM 于 2008 年提出存储级内存(Storage Class Memory,SCM)的概念,用于缩小存储性能差距[1]。新型存储技术如磁存储器(MRAM)[2]、阻变存储器(RRAM)[3]、铁电存储器(FeRAM)[4]和相变存储器(PCM)[5-6]被寄予厚望,其中 PCM 凭借高速写入、高持久性、低能耗、多级存储能力和良好的兼容性脱颖而出,成为解决存储墙问题和推动高效存储与计算协同的潜力技术,被视为下一代高性能存储的有力竞争者。

PCM 的工作原理基于相变材料(如 $Ge_2Sb_2Te_5$)在晶态(低电阻)和非晶态(高电阻)之间的可逆相变[7]。通过控制电流脉冲,材料的状态可以在晶态和非晶态之间切换,实现不同电阻值的稳定存储。然而,现有 PCM 在电阻线性化调控方面仍然存在挑战。电阻值随脉冲参数变化往往呈现非线性波动,导致存储状态转换的不确定性[8],影响了数据写入的准确性和读取的可靠性。目前,主流的 PCM 编程方法包括部分 SET(Partial-SET)、部分 RESET(Partial-RESET)的编程-验证(Program and Verify,P&V)方法[9-11]。根据文献[11],Partial-RESET 方法通过固定 SET 脉冲并施加不同幅度的 RESET 脉冲来实现电阻的多值化,Partial-SET 方法则通过固定 RESET 脉冲并施加不同幅度的连续 SET 脉冲实现更精细地电阻调控。这两种方法均可实现电阻的多值化,但需要较多的脉冲参数来实现,对电路设计要求较高。此外,在 $Ge_2Sb_2Te_5$超晶格 PCM 器件中,通过精细控制 SET 脉冲也可以实现电导的线性分布[12],但需要依赖多层结构,增加了设计复杂性。针对上述问题,本研究提出了一种新的优化策略,通过调整 RESET 和 SET 脉冲的幅度以及增加脉冲重复次数,来实现对 PCM 电阻线性的控制。该策略能够简化操作流程,同时提高电阻线性控制的精度和降低电阻的调控偏差。

文章第 1 节主要介绍在连续 SET 操作下,相变存储器的电阻分布情况,得出连续性 SET 操作无法实现电阻的线性变化。第 2 节主要介绍通过实验寻找到了合适的 RESET 和 SET 脉冲参数的组合。第 3 节介绍发现合理搭配脉冲幅度和适当增加脉冲重复次数可以显著提升电阻状态的可控性和线性度。第 4 节给出结论本研究为 PCM 性能优化提供了坚实的理论基础和实验验证,拓展了实现高性能及多级存储 PCM 技术发展的研究路径,并为后续相关技术的深入探索提供了新思路。

1 脉冲研究方案

1.1 脉冲调控方法设计

本文采用上海新储集成电路有限公司生产的 40 nm 工艺的 4 MB 相变存储器芯片进行实验,该芯片预设了标准的 RESET 和 SET 操作脉冲参数档位。

该芯片的原有编程方案旨在通过 RESET 和 SET 参数实现高低阻态的精准区分。在该方案中,采用一次 RESET 脉冲与一次 SET 脉冲作为基本操作单元,RESET 脉冲将相变材料完全熔融并迅速冷却,从而形成高阻态;SET 脉冲则使材料加热至晶化温度并保持一定时间,从而形成低阻态。该方法能够有效区分高、低阻状态,适用于二值存储的基本需求。相较之下,本文的研究目标是通过灵活调整脉冲参数,实现相变材料的多档位电阻调控。这种方法不依赖于传统的编程方案,但在现有芯片功能基础上,能够实现更精细的电阻状态分布。

实验采用电流脉冲发生器生成脉冲信号,并针对 RESET 与 SET 操作设计六组独立控制端口(RSTW:RESET 脉宽;RST:RESET 幅度;SET0W:初始 SET 脉宽;SET0H:初始 SET 幅度;SETW:阶梯 SET 脉宽;SETH:阶梯 SET 幅度),如图 1 所示。通过多参数独立配置,实现了相变存储器(PCM)电阻状态的高精度调控。

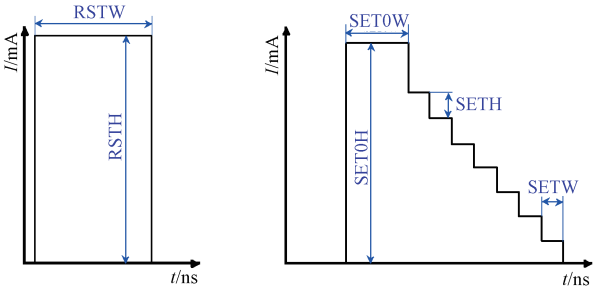


图 1 RESET 和 SET 脉冲的波形图

1.2 相同幅度的连续 SET 脉冲方案

由于电流脉冲能够更好地控制电阻变化,从而确保写入过程的稳定性与精度,为验证多次连续 SET 操作是否会对器件的电阻产生影响,设计了以下实验。

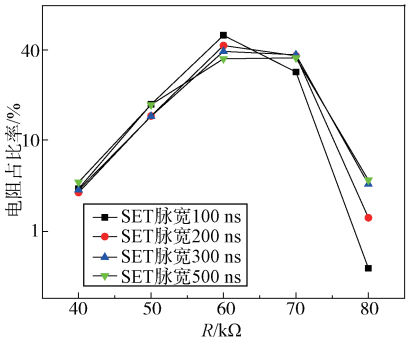
首先,选取适当的脉冲参数,以保证实验的可行性和结果的可靠性。考虑到相变材料对不同脉冲电流和时间的响应特性,RESET 脉冲电流设为 760 μA,脉冲宽度为 50 ns,以满足相变材料由晶态向非晶态转变的要求;SET 脉冲电流设为 520 μA,脉冲

宽度为 100 ns，用于将相变材料加热至较低温度恢复成晶态，避免器件老化或相变不完全。此外，采用阶梯脉冲宽度为 25 ns，以满足动态测试过程对时间分辨率的需求。

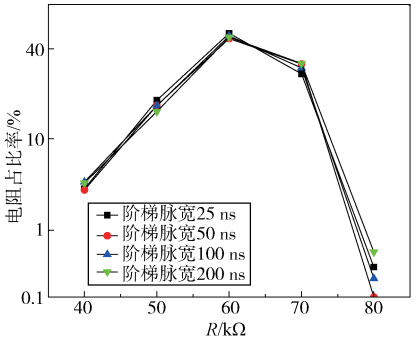
2　实验结果与分析

2.1　研究脉宽对电阻的影响

初始阶段，对相变存储器中 RESET 脉宽、SET 脉宽及阶梯脉宽变化对电阻状态的影响进行了系统评估。结合实验数据与文献[13]可知，脉宽参数对电阻调控的贡献度较低。为进一步验证 SET 脉宽与阶梯脉宽的具体作用机理，在固定参数条件下开展了对比实验，如图 2 所示。



（a）不同 SET 脉宽对电阻分布的影响

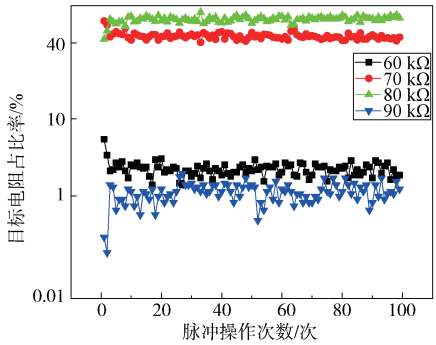


（b）不同阶梯梯脉宽对电阻分布的影响

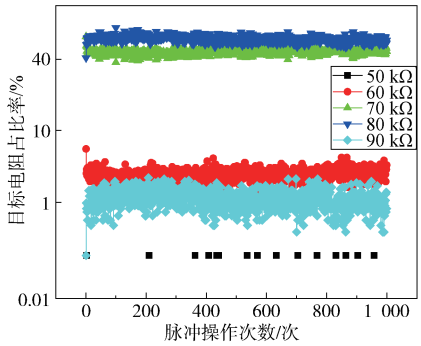
图 2　SET 脉宽与阶梯脉宽对相变存储器电阻分布的影响

图 2(a)中，RESET 脉冲幅度 880 μA、RESET 脉宽 50 ns、SET 脉冲幅度 640 μA、阶梯脉宽 25 ns，我们分别选取 SET 脉宽为 100 ns、200 ns、300 ns 和 500 ns 进行测试。图 2(b)中，针对阶梯脉宽的影响，在 RESET 脉冲幅度 880 μA、RESET 脉宽 50ns、SET 脉冲幅度 640 μA、SET 脉宽 100 ns 的条件下，分别采用 25 ns、50 ns、100 ns 和 200 ns 的阶梯脉宽进行实验。结果表明，在上述参数范围内，SET 脉宽与阶梯脉宽的变化仅引起较小的电阻波动；当两类脉宽在一定区间内调整时，器件电阻状态整体保持稳定，未表现出显著依赖性。

基于前述分析，为验证 SET 脉冲宽度影响的普适性，本研究在 1.2 节中实施了连续 SET 操作实验，参数设定为：RESET 脉冲电流 760 μA、脉冲宽度 50 ns；SET 脉冲电流 520 μA、脉冲宽度 100 ns。如图 3 所示，尽管连续 SET 操作次数分别增加至 100 次和 1 000 次，电阻状态保持稳固，未出现显著变化，验证了 SET 脉冲宽度的延长对电阻分布调整的影响较弱。参考吴磊的研究[14]，同样得出类似结论：在电流脉冲控制下，连续相同的 SET 操作无法实现电阻的线性调控。



（a）连续 100 次 SET 操作



（b）连续 1 000 次 SET 操作

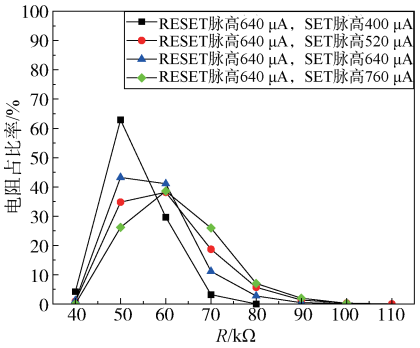
图 3　相变存储器在连续施加相同 SET 脉冲操作下的电阻变化分布情况

实验表明，脉冲宽度对相变存储器电阻的调控作用无显著影响。因此，后续研究聚焦于脉冲幅度的定量调控，以进一步探索有效调控电阻状态的关键因素。

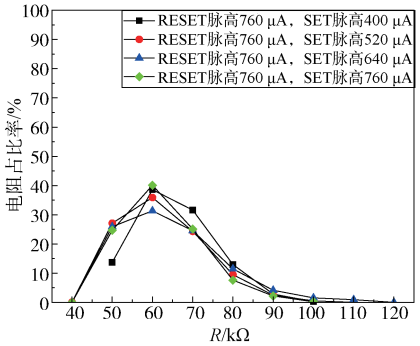
2.2　脉冲参数对的确定

实验表明脉冲宽度对电阻调控的贡献度较低。为排除脉宽变量干扰，后续研究中固定 RESET 脉宽（50 ns）、SET 脉宽（100 ns）及阶梯脉宽（25 ns），

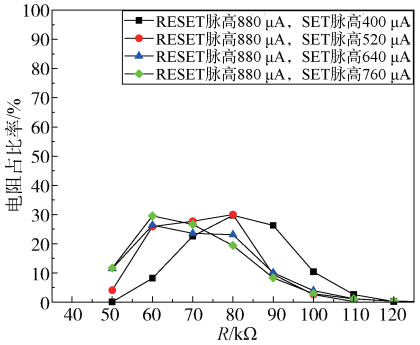
以聚焦脉冲幅度对电阻特性的影响。我们遍历了不同的 RESET 和 SET 脉冲幅度组合,包括 RESET 脉冲幅度 640 μA、760 μA、880 μA 和 1 000 μA,以及 SET 脉冲幅度 400 μA、520 μA、640 μA 和 760 μA,生成 16 组不同的脉冲参数,并分别施加于相变存储器单元。在测试过程中,每次随机选取 1 024 个单元,从总计 262 144 个单元地址中抽取样本,以每 1 024 个单元为一组。采用随机抽样的方式可以有效避免系统性偏差,确保测试结果的代表性。为了减少偶然性和随机误差,每组脉冲参数重复测试 5 次,并重点考察不同脉冲组合对电阻状态分布的影响。实验旨在筛选出不同电阻区间内电阻占比最高的脉冲参数组合[15],以用于后续电阻的线性调控。如图 4 所示。



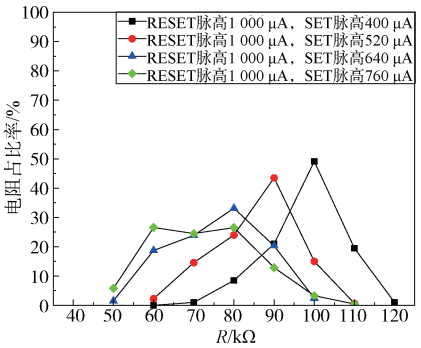
(a) RESET 脉高为 640 μA



(b) RESET 脉高为 760 μA



(c) RESET 脉高为 880 μA



(d) RESET 脉高为 1000 μA

图 4 不同 SET 脉冲高度参数在固定 RESET 脉冲高度下对电阻分布的影响

通过对 4 幅图的对比分析可知,在电阻值为 50 kΩ 时,电阻占比最高的参数组合为:RESET 脉冲幅度为 640 μA,SET 脉冲幅度为 400 μA;60 kΩ 时,电阻占比最高的参数组合为:RESET 脉冲幅度为 640 μA,SET 脉冲幅度为 640 μA;当电阻值为 70 kΩ 时,最佳参数组合为 RESET 脉冲幅度为 760 μA,SET 脉冲幅度为 400 μA;在电阻值为 80 kΩ 时,电阻分布占比最高的组合为 RESET 脉冲幅度 1 000 μA,SET 脉冲幅度 640 μA;90 kΩ 时,电阻占比最高的参数组合为:RESET 脉冲幅度为 1 000 μA,SET 脉冲幅度为 520 μA;而在电阻值达到 100 kΩ 时,控制电阻占比最佳的参数为 RESET 脉冲幅度 1 000 μA,SET 脉冲幅度 400 μA。

这些最佳脉冲参数组合为各个电阻档位中电阻分布占比的调控提供了关键参考,并为相变存储器的线性电阻控制奠定了基础。

2.3 相变存储器电阻的线性实验

在确定了固定的 RESET 和 SET 脉冲参数后,系统性地对相变存储器的性能进行了评估。测试中,随机选择存储器中的 1 024 个存储单元作为研究对象。根据预先设定的脉冲操作策略,逐一在各档位间按顺序循环施加脉冲[16],并记录由脉冲激励触发的存储单元电阻状态变化。电阻值被量化为离散的档位状态:0 对应 40 kΩ,1 对应 50 kΩ,依次递增至 8,对应 120 kΩ。此后,依据离散状态统计了每个电阻档位下,存储单元的分布数量。

实验主要聚焦于电阻区间为 50 kΩ 至 100 kΩ 范围内的脉冲参数组合。在此范围内,通过施加不同的脉冲参数进行了细化分档操作,逐步控制存储单元的电阻值从 50 kΩ 逐渐上升至 100 kΩ,再逐步回落至 50 kΩ。为了研究电阻控制的可重复性[17],每个脉冲组合分别重复施加 5 次、20 次和 40 次。

该操作流程的设计目标是通过精确的脉冲调节，实现存储单元电阻的线性调制，从而得到一种更为理想的电阻响应特性。如图 5 所示，随着相同脉冲组合重复施加次数的增加，存储单元在各个电阻档位的占比愈发均匀，展现出更为线性和平滑的电阻分布。这说明，通过精准设计并施加脉冲，可以有效地调控相变存储器的电阻状态，从而使原本离散的电阻状态平滑过渡至更为连续、可控的变化过程。

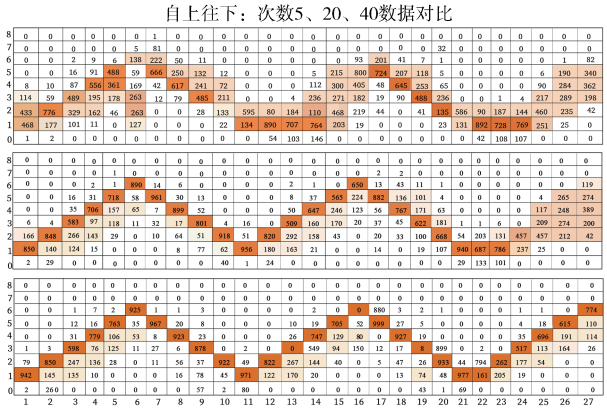


图 5　不同组合的 RESET 和 SET 脉冲的重复次数对电阻线性分布的影响

对比 Partial-RESET 方法中的控制电阻范围[11]可以发现：Partial-RESET 方法中，采用单档位覆盖 90 kΩ 的调节策略，而本文提出的策略将档位步进值压缩至 10 kΩ，实现精度提升 88.89%。同时，我们系统地分析了 RESET/SET 脉冲组合的重复次数对电阻线性分布的影响。具体而言，通过统计未达到目标电阻档位的存储单元并计算其方差均值作为调控偏差指标，我们发现：当 RESET 和 SET 脉冲重复 5 次时，调控偏差为 2.038；重复 20 次时，调控偏差降至 1.110；重复 40 次时，调控偏差进一步降至 0.537。这些结果表明，增加脉冲重复次数可以显著降低调控偏差，从而提高电阻状态调控的一致性。

这些结果表明，增加脉冲重复次数可以显著降低调控偏差，从而提高电阻状态调控的一致性。在实现电阻线性分布的实验中，通过灵活调整 RESET 和 SET 操作中的脉冲参数，不仅能实现相变材料的多档位电阻调控，还增加了脉冲组合的多样性。这使得我们可以精确地控制多种电阻状态，实现更丰富的电阻分布，从而提高存储器在复杂应用环境中的表现。该脉冲组合方法在电阻调节上表现出优异的线性特性，还为相变存储器实现高精度、多状态存储提供了关键的技术支撑。因此，该脉冲策略在复杂应用场景下具有重要的价值，可以有效提升器件的性能稳定性和使用可靠性。

为了确保不同脉冲参数组合的操作之间存储单元的初始状态一致性，每次进行不同脉冲组合测试之前，均施加一次强制性的 SET 操作进行初始化。SET 操作通常表现为较宽、振荡幅度较低的脉冲[18-19]，在该实验中，我们选择了 640 μA 的 SET 脉冲电流高度和 500 ns 的脉冲宽度，并采用 25 ns 的阶梯脉冲宽度。这种脉冲参数的设置旨在使存储单元的电阻状态恢复至统一的初始水平，以减少测试过程中的状态偏差和不确定性。

在进行了初始化 SET 操作后，进一步研究了相同脉冲组合的重复次数对于电阻状态设定的影响。如图 6 所示，当相同的脉冲参数组合被多次施加时，特定电阻档位上存储单元的占比逐渐增加，也就是说，成功将电阻设定为目标值的成功率随着重复操作次数的增加而上升。这种趋势随着脉冲重复次数的增加而变得更加显著，表现出更好的线性调控效果。

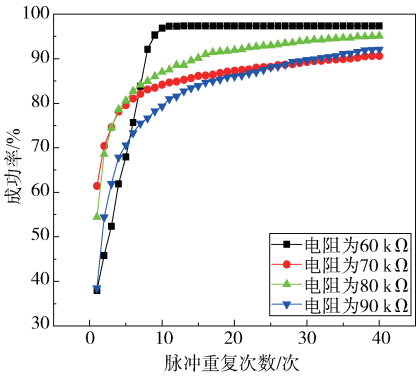


图 6　RESET/SET 脉冲组合重复的次数对电阻的影响

相变存储器展现的优异线性调控特性，为其循环稳定性与长期可靠性提供了关键保障。通过对脉冲参数的精确优化，本研究揭示了脉冲操作方法与存储单元物理行为之间的密切关联。所优化的脉冲控制策略，确保了存储器在长期运行时能够维持高精度的电阻调节范围和一致性，不仅在多值存储中展现出适应能力，还提高了存储器在多种复杂应用环境下的性能表现和稳定性。

3　结　论

本研究针对上海新储集成电路有限公司制造的 40 nm 工艺 4 MB 相变存储器芯片，进行了电阻状态调控的实验与分析。通过调整 RESET 和 SET 脉冲

的幅度与重复次数,系统地探讨了电阻调控策略,展现了一种实现相变存储器(PCM)电阻线性分布的途径。本文提出的脉冲调控策略相较于传统的Partial-SET和Partial-RESET方法,通过调控脉冲幅度和次数,实现对PCM电阻的精准控制,扩展了可控的电阻范围。与Partial-RESET方法的90 kΩ单档位调整相比,本文策略将步进值压缩至10 kΩ,精度提升88.89%。通过分析脉冲重复次数对电阻线性分布的影响发现,随着脉冲重复次数从5次增至40次,调控偏差从2.038降至0.537,提高了调控一致性。该方法简化了电路设计,提高了PCM在复杂应用中的性能,为PCM在神经形态领域的发展提供了支持。

参 考 文 献:

[1] FREITAS R F, WILCKE W W. Storage-class memory: The next storage system technology[J]. IBM Journal of Research and Development, 2008, 52(4.5): 439-447.

[2] TEHRANI S. Status and outlook of MRAM memory technology [C]//2006 International Electron Devices Meeting. San Francisco, CA, USA. 2006: 1-4.

[3] YANG J G, DING Q T, GONG T C, et al. Robust true random number generator using stochastic short-term recovery of charge trapping FinFET for advanced hardware security [C]//2020 IEEE Symposium on VLSI Technology. Honolulu, HI, USA. 2020: 1-2.

[4] LUO Q, CHENG Y, YANG J G, et al. A highly CMOS compatible hafnia-based ferroelectric diode[J]. Nature Communications, 2020, 11: 1391.

[5] 宋志昊,张昆华,闻明,等. 相变存储材料的研究现状及未来发展趋势[J]. 材料导报, 2020, 34(21): 21099-21104.

[6] 郝艳,周细应,杜玲玲,等. 相变存储材料及其相变机制研究进展[J]. 人工晶体学报, 2019, 48(11): 2152-2157, 2163.

[7] 杜玲玲,周细应,李晓. 相变存储器及其用于神经形态计算的研究综述[J]. 人工晶体学报, 2020, 49(12): 2398-2405.

[8] 刘欣,周鹏,林殷茵,等. 相变存储器多态存储方法[J]. 复旦学报(自然科学版), 2008, 47(1): 95-100.

[9] SONG Z T, CAI D L, CHENG Y, et al. 12-state multi-level cell storage implemented in a 128 Mb phase change memory chip [J]. Nanoscale, 2021, 13(23): 10455-10461.

[10] KWON T, IMRAN M, YANG J S. Reliability enhanced heterogeneous phase change memory architecture for performance and energy efficiency[J]. IEEE Transactions on Computers, 2021, 70(9): 1388-1400.

[11] JOSHI M, ZHANG W Y, LI T. Mercury: A fast and energy-efficient multi-level cell based Phase Change Memory system [C]//2011 IEEE 17th International Symposium on High Performance Computer Architecture. San Antonio, TX, USA. 2011: 345-356.

[12] JIN S M, KANG S Y, KIM H J, et al. Sputter-grown $GeTe/Sb_2Te_3$ superlattice interfacial phase change memory for low power and multi-level-cell operation [J]. Electronics Letters, 2022, 58(1): 38-40.

[13] LIU Y, FAN X, CHEN H P, et al. Feasibility study of current pulse induced 2-bit/4-state multilevel programming in phase-change memory[J]. Solid-State Electronics, 2017, 134: 51-57.

[14] 吴磊,蔡道林,陈一峰,等. 连续性RESET/SET对相变存储器疲劳特性的影响[J]. 上海交通大学学报, 2021, 55(9): 1134-1141.

[15] YU L, CAI D L, CHEN Y F, et al. Subsequent set pulse impacts on set resistance distribution of phase change memory [J]. Semiconductor Science and Technology, 2019, 34(10): 105024.

[16] WANG Q, NIU G, WANG R B, et al. Reliable $Ge_2Sb_2Te_5$ based phase-change electronic synapses using carbon doping and programmed pulses[J]. Journal of Materiomics, 2022, 8(2): 382-391.

[17] HE M Z, HE D, QIAN H, et al. Ultra-low program current and multilevel phase change memory for high-density storage achieved by a low-current SET pre-operation[J]. IEEE Electron Device Letters, 2019, 40(10): 1595-1598.

[18] 连晓娟,李甫,付金科,等. 用于通用存储和神经形态计算的相变存储器的研究进展[J]. 半导体技术, 2024, 49(1): 1-29.

[19] WEI X Q, SHI L P, WALIA R, et al. HSPICE macromodel of PCRAM for binary and multilevel storage [J]. IEEE Transactions on Electron Devices, 2006, 53(1): 56-62.