一种基于65 nm CMOS工艺的尾电流可调的低相位噪声压控振荡器

姜浩然[1]，邓少帅[1]，陈海斌[1]，桑　磊[1]，王少奇[2]，陈　强[3]
（1. 合肥工业大学 微电子学院，合肥 230000；2. 成都爱科特科技发展有限公司，成都 610000；
3. 南京邮电大学，南京 210000）

摘　要： 基于标准65 nm CMOS工艺设计了一款工作在K波段下的低相位噪声压控振荡器，振荡器采用负阻型LC结构，负阻单元为全NMOS结构来提高调谐带宽，提出一种尾电流源结构，可以控制VCO的开关以及尾电流的大小。通过电感与交叉耦合管寄生电容谐振来滤除二次谐波处噪声，从而进一步优化相位噪声。结果表明，在1.1 V电源电压下，压控振荡器的输出调谐频率为18.66～22.17 GHz，1 MHz偏移处相位噪声最低为－109.91 dBc/Hz。具有低相位噪声和宽调谐范围的优点。

关键词： 压控振荡器；CMOS；毫米波集成电路；低相位噪声
中图分类号：TN752　　**文献标志码：**A　　**文章编号：**1004-3365(2025)06-0926-06
DOI：10.13911/j.cnki.1004-3365.240370

A Low-phase-noise Voltage-controlled Oscillator with Adjustable Tail Current in 65 nm CMOS Technology

JIANG Haorang[1], DENG Shaoshuai[1], CHEN Haibin[1], SANG Lei[1], WANG Shaoqi[2], CHEN Qiang[3]
(1. *School of Microelectronics, Hefei University of Technology, Hefei* 230000, *P. R. China*;
2. *Chengdu ACTi Technology Development Co., Ltd., Chengdu* 610000, *P. R. China*;
3. *Nanjing University of Posts and Telecommunications, Nanjing* 210000, *P. R. China*)

Abstract: In this study, we designed a voltage-controlled oscillator (VCO) with a low phase noise operating in the K-band based on the standard 65 nm CMOS process. The oscillator adopts a negative-resistance type LC structure; the negative-resistance unit is an all-NMOS structure that can increase the tuning bandwidth. We proposed a tail current source structure that can control the switch of the VCO and the magnitude of the tail current. The noise at the second harmonic is filtered out through the resonance of the inductance and the parasitic capacitance of the cross-coupled transistor, further optimizing the phase noise. The results indicate that under a supply voltage of 1.1 V, the VCO achieves an output tuning frequency range of 18.66 - 22.17 GHz, with a minimum phase noise of －109.91 dBc/Hz at an offset of 1 MHz. The proposed design presents the advantages of low phase noise and wide tuning range.

Key words: voltage-controlled oscillator; CMOS; MMIC; low phase noise

0　引　言

随着通信、雷达、导航等技术的飞速发展，对频率源的要求越来越高，如更高的频率稳定性、更低的相位噪声、更宽的频率调节范围等[1]。压控振荡器(VCO)作为频率源的核心组成部分，不断面临着新的挑战和机遇，为实现信号的高质量传输、小目标检

收稿日期：2024-10-17；**定稿日期：**2025-02-21
基金项目：国家重点研发计划(2023YFB4403801)
作者简介：姜浩然(1999—)，男(满族)，辽宁本溪人，硕士研究生，研究方向为微波毫米波集成电路设计。
桑　磊(1983—)，男(汉族)，安徽寿县人，教授，博士生导师，研究方向为微波毫米波集成电路设计等。通信作者。

测能力和大容量的数据传输，需要 VCO 具有极低的相位噪声和更宽的调谐带宽，以适应不同频段的需求。近几年对 VCO 性能要求不断提高，新的改进方案和拓扑结构被提出用于优化相位噪声的指标。能同时实现低功耗和低相位噪声性能的 C 类 VCO 被认为是充满前景的低电压方案[2]，但是 C 类 VCO 受环境、工艺影响变化大，可以采用自偏置和辅助启动的方案来提升 C 类 VCO 的可靠性。为降低相位噪声，E. Hegazi 等人提出在尾部增加电感进行滤波。近几年，D. Murphy 等人提出隐式共模振荡器[3]解决了滤波技术占用额外面积的问题，但增加了设计成本。

本设计基于负阻型 LC 结构实现压控振荡器，工作于 1.1 V 的供电电压下，基于 65 nm CMOS 工艺设计，调谐电压为 0～1.1 V，尾电流源有 2 个挡位，分别对应 24 mA、34 mA。频率调谐范围约为 18.66～22.17 GHz，中心频率约为 20.42 GHz，当电流为 24 mA 时，在 1 MHz 偏移处相位噪声最低为 －107.45 dBc/Hz。当电流为 34 mA 时，在 1 MHz 偏移处相位噪声最低为－109.91 dBc/Hz。采用全 NMOS 结构，在负阻模块下放置一个尾电流源以控制整个 VCO 的开关和尾电流大小进一步控制相位噪声以及输出功率的大小。

文章第 1 节主要介绍了压控振荡器的整体结构以及各单元的设计原理。第 2 节主要对仿真与实测结果进行了总结和分析，并与之前已发表的一些工作进行了比较。第 3 节给出结论。

1　压控振荡器电路设计原理和版图

1.1　压控振荡器的整体结构

本文提出的压控振荡器负阻单元采用全 NMOS 结构来提高调谐带宽，交叉耦合对管下采用电感与对管的寄生电容组成滤波器，滤除二倍振荡频率附近处的噪声。本设计采用电压型尾电流源，该电流源具备调节电流大小的能力还可以控制整个振荡器的开关。如图 1 所示，所提出的 VCO 包括谐振电感、电容阵列单元、开关电容单元、交叉耦合对管、滤波电感和尾电流调节单元。谐振电感与电容阵列单元共同组成谐振腔，开关电容单元增加了 VCO 的输出频率调谐范围，本设计中采用开关电容单元只是为了弥补 PVT 对输出频率调谐范围的影响。交叉耦合对管提供负阻，为 VCO 的谐振腔提供能量，可以稳定输出振荡信号。滤波电感与交叉耦合对管于源端处的寄生电容产生谐振，滤除掉尾电流源产生的振荡频率二次谐波处的噪声，可以有效避免相位噪声衰减。尾电流调节单元如图 3 所示，其为整个 VCO 提供电流。并且在 VCO 工作过程中，交叉耦合对管会进入线性区，尾电流调节单元的漏端阻抗很大，使得对地呈交流高阻抗，当一支晶体管被迫进入到线性区时，质量因子不会大幅降低。[4]。

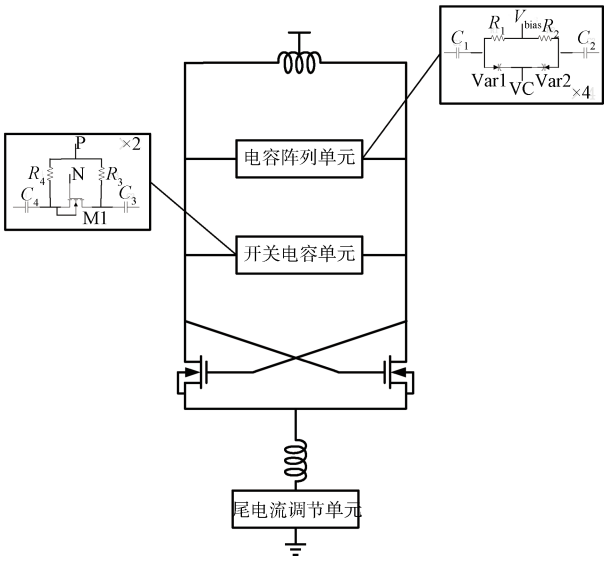

图 1　压控振荡器的基本结构

1.2　交叉耦合对管的设计

由于寄生电阻的存在，实际的谐振腔是一个有损耗的网络，为了保证振荡，VCO 需要为谐振腔提供能量的电路，即为负阻单元。负阻本身不会产生能量，它提供的能量来自于将直流转换而来的能量，因此说振荡器是一种将直流转换成交流的器件。负阻与谐振腔损耗的关系如图 2 所示，负阻表示为 $-R$ 与谐振腔等效电阻 R_D 并联可得：

$$\frac{R_D \cdot (-R)}{R_D + (-R)} \leqslant 0 \tag{1}$$

式中，R 为 $\frac{1}{g_m}$，可知 VCO 的起振条件为：

$$R_D \cdot g_m \geqslant 1 \tag{2}$$

又电感的等效并联电阻为：

$$R_D = \frac{Q\omega_0 L}{2} \tag{3}$$

式中，ω_0 为振荡频率。可得交叉耦合管的跨导为：

$$g_m = \frac{2\alpha}{Q\omega_0 L} \tag{4}$$

式中，α 为起振的安全因子，通常取 2～3。

在满足起振的条件下，就要折中考虑振荡器的

其他性能了。对于输出频率的调谐范围而言，晶体管的寄生电容对频率影响极大。对于相位噪声而言，晶体管的尺寸直接关系着闪烁噪声和热噪声，而加大晶体管的宽度可以有效降低这两种噪声，对于不存在谐振在二次谐波处的滤波单元的VCO来说，加大晶体管的宽长比会导致来自电流源的噪声被更大程度地转化成相位噪声[4]，而对于存在谐振在二次谐波处的滤波单元的VCO来说，为优化相位噪声参数，交叉耦合管可以稍微加大[5]，但是当交叉耦合管尺寸过大时，会导致热噪声加大从而影响相位噪声性能。因此在保证起振的条件下，晶体管尺寸的选择是频率以及相位噪声指标的折中结果。

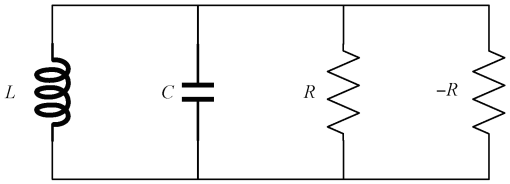

图2　负阻与谐振腔损耗的等效图

1.3　开关电容单元的设计

为了获得较宽的调谐范围可以采用高增益的变容管，这会使KVCO很大，导致增大变容器对AM-PM的转换，从而恶化相位噪声性能。常用的方法是在谐振腔加入开关电容阵列单元，采用离散调节的方式满足大的调谐范围的同时又不会恶化相位噪声性能。本设计采用开关电容拓扑[6]，由于NMOS的高电子迁移率和小的寄生电容，因此开关管不采用PMOS，其中N与P2个控制信号是相反的电平，保证开关管的导通和关闭，同时为了保证开关断开后电容C_3与C_4不接入谐振腔，还必须添加大电阻R_3与R_4，保证交流信号断路。

1.4　尾电流调节单元的设计

如图3所示尾电流调节单元可通过ISS_EN来控制整个VCO的开关，控制ISS_1_EN来调节尾电流的大小。尾电流源的加入可以使得压控振荡器拥有很低的电源电压灵敏度，还会提供一个对地的交流高阻，当交叉耦合第1个进入线性区时，谐振腔的质量因子不会降低。但随着尾电流源的引入，其对噪声的影响需要被特别关注。电流源的噪声主要来源于闪烁噪声和热噪声，这两种噪声会经过交叉耦合对管，被混频至振荡频率附近和二倍振荡频率附近，后经过电容阵列单元转换使相位噪声增加。其中热噪声的公式以及闪烁噪声公式分别为：

$$P_{\mathrm{th}}=4KT\gamma g_{\mathrm{m}} \tag{5}$$

$$P_{1/\mathrm{f}}=\frac{K}{C_{\mathrm{ox}}WL}\cdot\frac{I_{\mathrm{D}}}{f} \tag{6}$$

为避免沟道长度调制效应，晶体管的长度应该加大，同时也可以降低闪烁噪声。晶体管的长度加大，意味着宽度也需要相应增加，这会降低热噪声的影响，同时还会进一步降低闪烁噪声，但是晶体管的宽度不可过大，这会抑制压控振荡器的振荡幅度，并且会导致寄生电容很大，从而降低电流源的阻抗。

尾电流源的噪声主要来源于参考晶体管，传统电流镜复制电流会导致噪声被放大数倍。如图3所示提出一种新的尾电流源结构，减小电流复制的倍数，并且用大电容滤除部分噪声，采用提供电压的方式生成尾电流，再加入大电容滤除噪声来减小噪声对振荡器的影响。

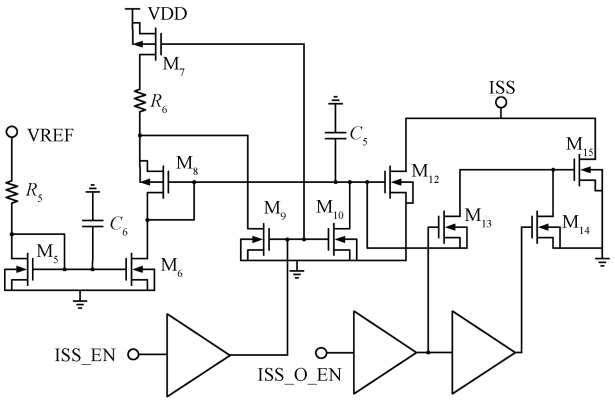

图3　尾电流调节单元电路图

当ISS_EN为高电平时，M_9和M_{10}的工作状态为导通，此时整个尾电流源没有电流，VCO处于关断状态。当ISS_EN为低电平时，M_9和M_{10}的工作状态为截止，尾电流源提供电流，整个VCO处于工作状态。当ISS_1_EN为高电平时，M_{13}的工作状态为截止，M_{14}的工作状态为导通，M_{15}的工作状态为截止，此时不提供额外电流。当ISS_1_EN为低电平时，M_{13}的工作状态为导通，M_{14}的工作状态为截止，M_{15}的栅极电压接近M_{12}的栅极电压，工作状态为导通，此时为电路提供额外的电流。不同尾电流的大小对应不同的相位噪声以及输出功率，以适应系统的不同需求。

2　电路芯片图及实测结果分析

2.1　压控振荡器芯片图

本文所提出的压控振荡器采用TSMC 65 nm工艺设计，该VCO是应用在完整系统中流片，如图

4 所示为部分芯片截图，从左到右分别是压控振荡器部分、振荡器的缓冲级部分和分频器部分。本设计中 VCO 的核心单元尺寸约为 260 μm×320 μm。

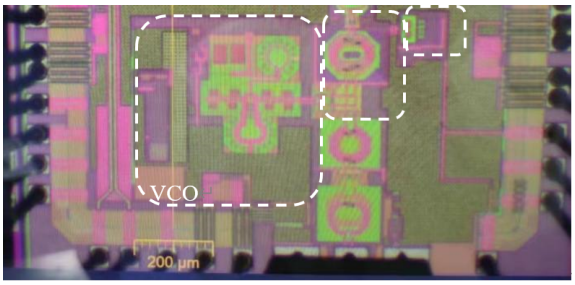

图 4　芯片照片

2.2　压控振荡器性能测试与结果分析

由于该设计应用于完整系统中，因此需用缓冲器隔离负载的影响、驱动后级电路以及改善信号质量。将分频器接于缓冲器后便于测试压控振荡器的各项性能指标。

如图 5 所示是测量 VCO 性能指标的示意图，由电源供电，通过频谱仪测量二分频器的输出频率以及相位噪声，再推测压控振荡器的输出频率以及相位噪声。

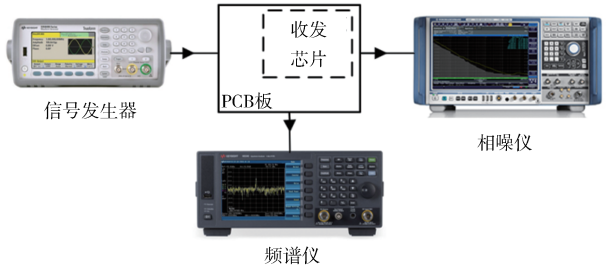

图 5　VCO 测试示意图

如图 6 所示为该压控振荡器经过二分频器在 9.61 GHz 处的输出频谱图，由图可知振荡器的杂散小于－40 dBc。

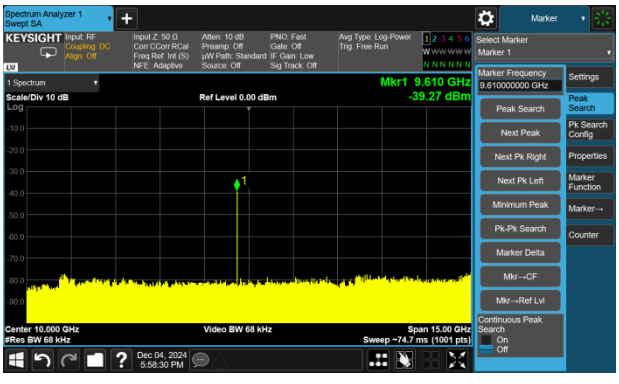

图 6　压控振荡器频谱图

如图 7 所示该压控振荡器经过二分频器，在频率为 9.74 GHz 处的相位噪声。

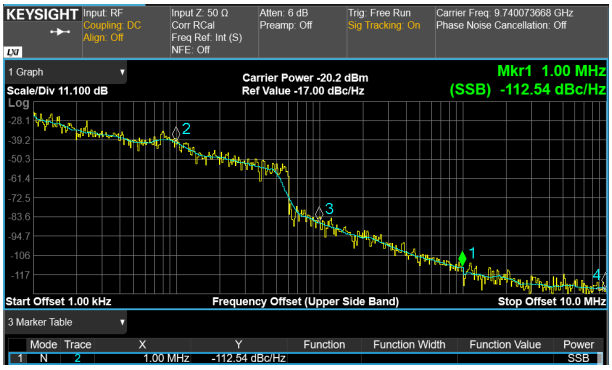

图 7　压控振荡器相位噪声图

如图 8 所示在不同尾电流大小对应的 1 MHz 偏移处的相位噪声。尾电流的增大，导致 VCO 的振幅变大，使得 VCO 输出的相位噪声更低。

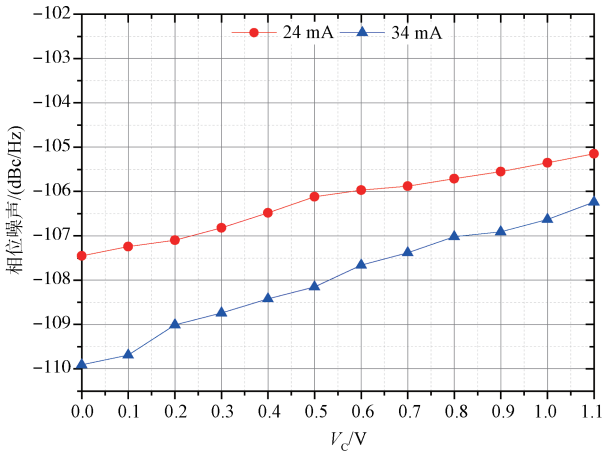

图 8　两种电流对应的相位噪声

如图 9 所示该压控振荡器带输出 Buffer 时，不同尾电流大小对应的输出功率。尾电流的增大，引起输出摆幅的增加，进一步使得 VCO 的输出功率增加。

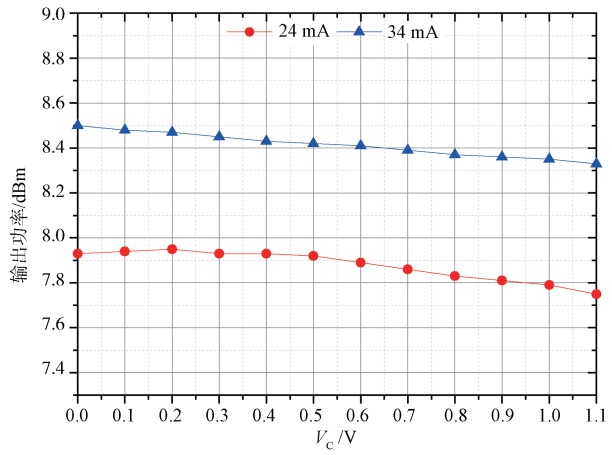

图 9　两种电流对应的输出功率

高集成度的系统可能需要VCO工作在不同状态，不同的工作电流可以使得VCO适应不同情况的系统要求。在使用过程中，由于外界干扰或工艺误差导致输出功率或者相位噪声无法达到要求时，可以牺牲功耗来换取更高的性能。

如图10所示切换开关电容单元中的开关，可以得到4种状态，对应4条调谐频率子带，4条子带共覆盖调谐频率范围3.51 GHz，相邻2条子带频率差最小约0.38 GHz，最大约0.84 GHz，相邻2条子带间重叠均超过50%。采用此结构可以有效减小KVCO，降低电容阵列对幅度-相位调制转换（AM-PM转换），优化相位噪声，并且可以拓宽调谐频率带宽避免工艺角以及温度等影响导致频率偏移过多。

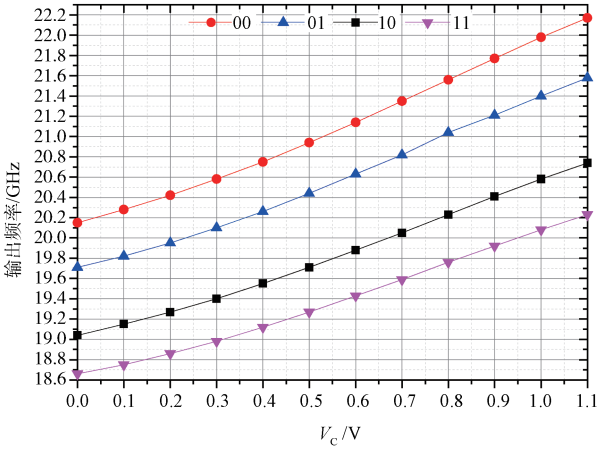

图10　切换开关电容单元对应的输出频率

本文设计的压控振荡器与近年来已发表的压控振荡器性能对比如表1所示。

表1　本文与已出版参考文献中的压控振荡器性能对比

文献	工艺节点/nm	调谐频率/GHz	中心频率/GHz	相位噪声/(dBc/Hz@1MHz)	VDD/V	功耗/mW	面积/mm^2
[7]	28	27.3～31.2	29.2	−106	1	22	0.15
[8]	180	22.35～25.31	24	−101.3	1.8	25	0.245
[9]	65	25.4～29.12	27.26	−105.34	1	16.8	0.06
[10]	65	19.43～20.62	20	−105.2	1	23.6*	—
[11]	65	20.77～28.02	24	−106.6	1	15.12	0.116
本文	65	18.66～22.17	20.42	−107.45 −109.91	1.1	26.4 37.4	0.083

注：*包括输出驱动放大器

可知本结构的压控振荡器在保证良好的相位噪声性能的基础上，可以实现较宽的调谐频率范围，芯片面积较小，可以节约部分成本。

3　结　论

本文基于标准65-nm CMOS工艺，设计了一种负阻形LC结构的压控振荡器，可以通过切换开关电容单元拓宽调谐频率，并且具备切换VCO开关以及调节尾流大小的功能。结果表明，在1.1 V电源电压的供电下，该VCO调谐频率范围为18.66～22.17 GHz（覆盖3.51 GHz带宽），并且在所需频段下可以在1 MHz偏移处实现最低−109.91 dBc/Hz的相位噪声性能。低功耗模式时，消耗24 mA电流，相位噪声最佳可以达到−107.45 dBc/Hz，带Buffer时输出功率最大可达7.95 dBm。消耗34 mA电流时，相位噪声最佳可以达到-109.91 dBc/Hz，带Buffer时输出功率最大可达8.5 dBm。该VCO的综合性能良好，能够满足射频前端的要求。

参 考 文 献：

[1] MARGARIT M A, THAM J L, MEYER R G, et al. A low-noise, low-power VCO with automatic amplitude control for wireless applications[J]. IEEE Journal of Solid-State Circuits, 1999, 34(6): 761-771.

[2] MAZZANTI A, ANDREANI P. Class-C harmonic CMOS VCOs, with a general result on phase noise[J]. IEEE Journal of Solid-State Circuits, 2008, 43(12): 2716-2729.

[3] MURPHY D, DARABI H, WU H. Implicit common-mode resonance in LC oscillators[J]. IEEE Journal of Solid-State Circuits, 2017, 52(3): 812-821.

[4] HEGAZI E, SJOLAND H, ABIDI A A. A filtering technique to lower LC oscillator phase noise[J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1921-1930.

[5] JERNG A, SODINI C G. The impact of device type

and sizing on phase noise mechanisms [J]. IEEE Journal of Solid-State Circuits, 2005, 40(2): 360-369.

[6] FARD A, JOHNSON T, ABERG D. A low power wide band CMOS VCO for multi-standard radios[C]// Proceedings of 2004 IEEE Radio and Wireless Conference. Atlanta, GA, USA. 2005: 79-82.

[7] HU Y Z, SIRIBURANON T, STASZEWSKI R B. A low-flicker-noise 30-GHz class-F_{23} oscillator in 28-nm CMOS using implicit resonance and explicit common-mode return path[J]. IEEE Journal of Solid-State Circuits, 2018, 53(7): 1977-1987.

[8] CHANG Y T, LU H C. A K-band high-efficiency VCO using current reused technique [J]. IEEE Microwave and Wireless Components Letters, 2017, 27(12): 1134-1136.

[9] KIM G S, OH K I, BAEK D. A 28-GHz - 195-dB FoM_A 3.72-GHz/V class-B/C nested-g_m VCO with coupled tail filtering in a 65-nm CMOS [J]. IEEE Access, 2024, 12: 60620-60627.

[10] LEE H S, JANG T H, KIM J H, et al. Low-phase-noise 20-GHz phase-locked loop using harmonic-tuned VCO assisting with gm-boosting technique [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31(10): 1629-1633.

[11] LIGHTBODY S, SHIRAZI A H M, DJAHANSHAHI H, et al. A −195 dBc/Hz FoMT 20.8-to-28-GHz LC VCO with transformer-enhanced 30% tuning range in 65-nm CMOS [C]//2018 IEEE Radio Frequency Integrated Circuits Symposium. Philadelphia, PA, USA. 2018: 200-203.

[12] SILIGARIS A, GONZALEZ-JIMENEZ J L, JANY C, et al. A multichannel programmable high order frequency multiplier for channel bonding and full duplex transceivers at 60 GHz band [C]//2020 IEEE Radio Frequency Integrated Circuits Symposium. Los Angeles, CA, USA. 2020: 259 - 262.

[13] BABAIE M, STASZEWSKI R B. A class-F CMOS oscillator [J]. IEEE Journal of Solid-State Circuits, 2013, 48(12): 3120-3133.

[14] FRANCESCHIN A, ANDREANI P, PADOVAN F, et al. A 19.5-GHz 28-nm class-C CMOS VCO, with a reasonably rigorous result on 1/f noise upconversion caused by short-channel effects [J]. IEEE Journal of Solid-State Circuits, 2020, 55(7): 1842-1853.