33~37 GHz GaAs功率放大器MMIC设计

谭小媛，豆兴昆，季 超，方志明，蒋 乐
（中科芯集成电路有限公司，江苏 无锡 214000）

摘 要： 基于0.15 μm GaAs pHEMT工艺设计了两款33～37 GHz 34 dBm微波单片功率放大器，在功率合成结构上分别采用了簇丛式合成和“Bus-bar”总线型2种结构，重点对比了上述2种方案的幅相一致性对输出性能的影响，并进行了设计流片及测试。两款功率放大器均采用三级级联，通过增益补偿技术，实现了工作频段内稳定平坦的输出。测试结果表明，两款芯片在漏极6 V供电条件下，33～37 GHz工作频带内实现了20 dB的功率增益，饱和输出功率分别达33.7 dBm和34 dBm以上，功率附加效率PAE在23.8%～29.7%之间，芯片的面积均为3.0 mm×2.4 mm。

关键词： 砷化镓；微波单片集成电路（MMIC）；功率放大器；功率合成；幅相一致性
中图分类号：TN722.75；TN927.2 **文献标志码：**A **文章编号：**1004-3365(2025)06-0919-07
DOI：10.13911/j.cnki.1004-3365.240407

Design of 33 – 37 GHz GaAs Power Amplifier MMICs

TAN Xiaoyuan, DOU Xingkun, JI Chao, FANG Zhiming, JIANG Le
(*China Key System & Integrated Circuit Co., Ltd, Wuxi, Jiangsu* 214000, *P. R. China*)

Abstract: Two 33 – 37 GHz microwave monolithic integrated circuit (MMIC) power amplifiers with output power of 34 dBm were designed on the basis of a 0.15-μm gallium arsenide (GaAs) pseudomorphic high electron mobility transistor (pHEMT) process. Cluster-followed synthesis and a "bus bar" structure were designed to realize power combination. Furthermore, the impact of amplitude and phase consistency on output performance were compared and analyzed. Design, tape-out, and testing were performed as well for these two schemes. Both power amplifier designs adopt a cascade structure with three stages achieving stable and flat output in the working frequency band through gain compensation technology. Test results show that under a 6-V power supply condition, the power gain was more than 20 dB with saturation output power exceeding 33.7 dBm and 34 dBm respectively, and power-added efficiency (PAE) in the range 33 – 37 GHz, with a chip area of 3.0 mm×2.4 mm.

Key words: GaAs; microwave monolithic integrated circuit (MMIC); power amplifier; power combination; amplitude and phase consistency

0 引 言

相较于传统低频系统，Ka波段卫星通信系统可以在信息传输码率上获得更佳的性能，作为卫星通信中的关键器件，功率放大器芯片可以将微弱信号进行放大。由于Ka波段工作波长与雨滴的特征尺寸相近，为了改善通信过程中的“雨衰效应”，功率放大器的输出功率和增益被提出了更高的要求。

业界在Ka频段GaAs功率放大器的设计方面通常采用多路合成实现瓦级功率输出，但是随着工作频段的进一步提升，管芯合成数量的增多会导致寄生效应更加显著，容易导致各路输出的幅度相位不平衡，从而引起最终合成功率和效率的恶化。目前主流的2种合成方式是簇丛式树形合成和“Bus-bar”总线型合成，为了对比上述2种结构在Ka波段的性能，本文基于0.15 μm GaAs pHEMT工艺设计了两款33～37 GHz 34 dBm微波单片功率放大器，

收稿日期：2024-11-11；**定稿日期：**2025-03-13
作者简介：谭小媛（1994—），女（汉族），江苏南京人，硕士，从事微波IC设计工作。

末级功率合成时采用2种结构进行设计流片，一种是通过T型匹配网络进行簇丛式合成，另一种是先通过总线型提供直流通路，再进行簇丛式合成，在同样设计指标情况下详细分析了2种结构幅相一致性及合成性能。两款芯片均采用三级级联拓扑结构，同时由于绝对带宽跨度达4 GHz，在高低频的管芯输出性能具有一定落差，设计时采用增益补偿技术来保证前级驱动管芯的输出性能呈正斜率，实现整个带宽内稳定地输出。

1　电路设计

1.1　管芯分析与选取

Ka波段的增益资源较为紧张，设计时通常采用多个小管芯进行功率合成。0.15 μm GaAs工艺下，不同单指栅宽 W_u 管芯对应的增益和效率性能如图1所示，在管芯总栅宽一定的条件下，单指栅宽的大小会影响管芯的功率增益，单指栅宽 W_u 越小，功率增益越高，管芯的功率附加效率PAE也会增加。因此，在芯片纵向尺寸允许的范围内，采用更小的单指栅宽可以改善芯片的增益和效率。结合芯片的尺寸要求，本文设计选用单指栅宽为75 μm的管芯作为末级输出，此时输出级功率增益约为6.5 dB。

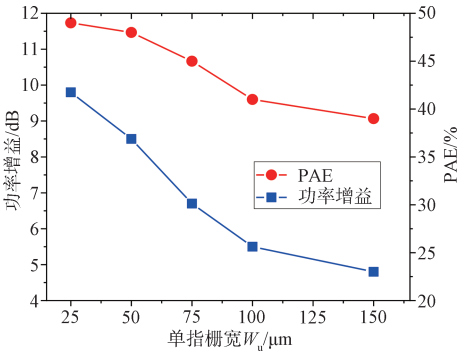


图1　饱和功率增益和PAE随单指栅宽 W_u 的变化曲线

管芯增益的改善通常伴随着稳定性的下降，为了改善低频的稳定性，本文在管芯栅极引入RC并联稳定结构[1]，调整RC的参数，使得低频稳定性得到提升，同时减少对高频的损耗，改善增益平坦度。以4×75 μm管芯为例，管芯低频30 GHz以内稳定性系数 K 小于1，高频大于1，引入RC网络后稳定性和增益的变化曲线如图2所示，在工作频带33～37 GHz带内增益下降0.5 dB左右，全频带的稳定性提升至1以上，该结构可以避免放大管芯特定频率下呈现负阻，抑制多级放大器容易产生的自激振荡。

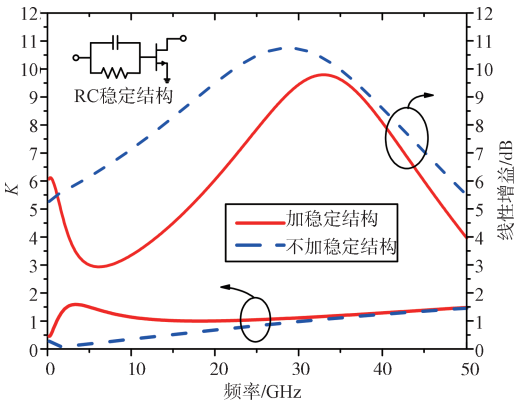
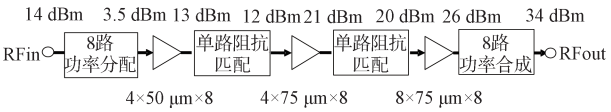


图2　4×75 μm管芯稳定性和线性增益曲线

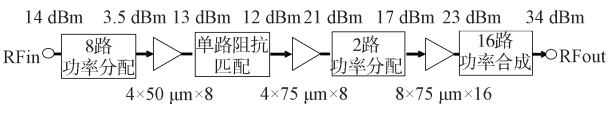
表1　35 GHz各级管芯实际选取阻抗点负载牵引结果

参数	第一级	第二级	第三级	
			芯片一	芯片二
栅宽/μm	4×50	4×75	8×75	4×75
P_{3dB}/dBm	21.7	23.4	26.9	24.2
PAE/%	45.8	45	46.1	47.2
Z_{load}/Ω	22+j×32	18+j×22	9.7+j×9.2	23.6+j×23.2

由于该功率放大器工作在非线性区，需要通过负载牵引确定管芯的最佳负载阻抗点以实现管芯的最佳输出性能[2]，由于最佳功率阻抗点和最佳效率阻抗点存在一定差异，为保证性能，对输出级管芯阻抗点进行折中选取。表1为各级管芯引入RC稳定结构后，在中心频率35 GHz处的实际选取的负载阻抗牵引仿真结果，输出级对比了75 μm单指栅宽条件下栅指数分别为8和4的两种管芯，其中小管芯4×75 μm的功率密度和PAE略高于8×75 μm管芯。根据两种管芯的仿真结果，考虑到实测和仿真的偏差以及合成损耗，为实现34 dBm的功率输出，输出级选择两种管芯方案，芯片一采用8路8×75 μm管芯合成；芯片二采用16路4×75 μm管芯合成。



（a）芯片一



（b）芯片二

图3　各级管芯链路预算

考虑输出级驱动功率和级间匹配损耗，第一级选取8路4×50 μm管芯，第二级选取8路4×75 μm管芯。不同于末级饱和工作状态，前级管芯需工作

在线性或略微压缩的区域，使得的增益压缩集中在最后一级。由于驱动功率余量较充足，前级管芯偏向共轭阻抗点进行匹配设计，此时功率和效率不是最佳水平，但可以提高整体芯片的增益性能[3]，故第二级和第三级同样的4×75 μm管芯选取了不同的负载阻抗点，第二级管芯在表1选取的负载条件下可以提供9 dB左右的增益。两款芯片各级管芯的链路预算如图3所示，总的输入功率为14 dBm，通过三级级联结构均可以实现20 dB左右的功率增益。

1.2　功率合成网络设计

除了考虑管芯工作的负载阻抗点外，合成网络本身的合成效率也关系到放大器的输出性能，根据发射机合成原理，n路功率合成网络的合成效率η表达式如下，其中P_i和θ_i分别为第i路信号的功率幅值和相位：

$$\eta=\frac{P_{\mathrm{o}}}{P_{\mathrm{in}}}=\frac{\sum_{i=1}^{n}\sum_{j=1}^{n}(P_i)^{1/2}(P_j)^{1/2}\cos(\theta_i-\theta_j)}{n\sum_{i=1}^{n}P_i} \tag{1}$$

从上式可以看出，合成网络的合成效率和各路的信号的幅值和相位相关。以2路合成为例：

$$\eta=\frac{P_{\mathrm{o}}}{P_{\mathrm{in}}}=\frac{1}{2}+\frac{\sqrt{P_1P_2}}{P_1+P_2}\cos(\theta_2-\theta_1) \tag{2}$$

当理想情况下的2路信号幅度相位相同时，合成效率为100%。当相位相同幅度不同时，随着2路信号的幅度差值变大，η逐渐变小，当其中一路信号幅度为0时合成效率最差为50%；当幅度相同时，随着相位差的变大，η也逐渐变小，当相位差为180°时合成效率最差为0。因此在设计合成网络时需要重点关注幅度相位的一致性，尤其是相位差的影响。结合上述，下面对本文合成结构的幅度相位及合成性能进行分析。

本文对输出级设计了2种合成方式，芯片一采用带通匹配网络进行8路簇丛式合成，并联微带线实现漏极供电；芯片二通过总线通路实现馈电和16路功率合成，2种拓扑结构如图4所示。

传统功率合成采用1/4波长微带线结构的威尔金森合成器，在单片设计中，为了减小版图尺寸以及降低长微带线引入的损耗，通过T型网络实现阻抗变换，利用细直微带线代替电感形成合成通路[4]。芯片一输出级为簇丛式合成结构，采用带通匹配结构实现了3次功率合成，通过并联到地的匹配微带线结构提供漏极直流供电V_{d}，由于电路拓扑是绝对对称的，理论上每级管芯输出功率的幅度相位一致性较好。如图5所示，在工作频段33～37 GHz范围内，无源原理图仿真的各端口的传输系数的最大差值在0.2 dB左右，相位差小于3.5°。但由于实际布局时元器件之间额外引入的寄生和耦合，原理图和版图之间的幅度平衡会存在一定差异，经版图EM仿真后，传输系数差值恶化至1.3 dB，端口相位差最大值为8.3°。

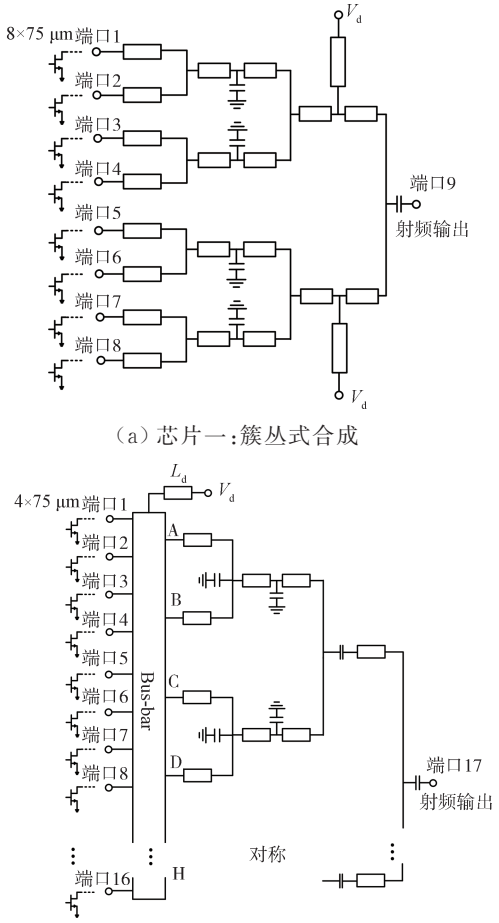
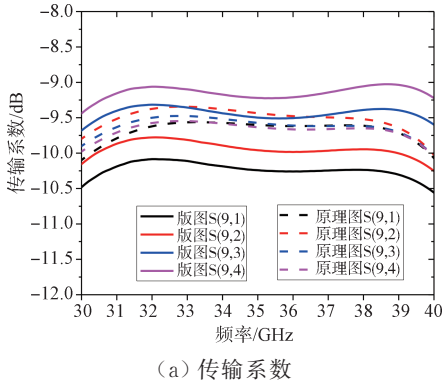
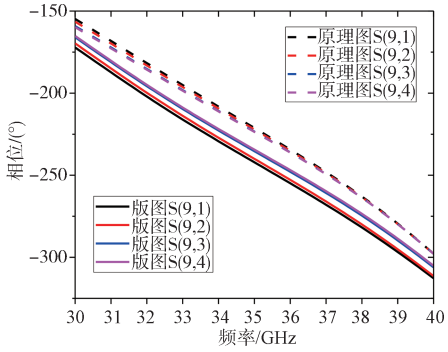
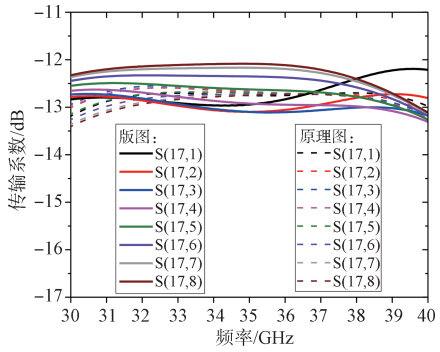


图4　两种输出匹配结构拓扑图





（b）相位



（a）传输系数

图 5　芯片一输出级传输系数和相位仿真曲线

由于芯片二采用了16路管芯，合成路数较多，为简化匹配电路，避免直流供电枝节距离管芯较远而引起较大的漏电压降，采用了“Bus-bar”总线型结构，通过一条跨接在各管芯输出端的宽微带线，提供直流通路并进行功率合成，再通过簇丛式结构合成至单个输出端口。由于器件工作波长（10 mm）远大于有源管芯的间距（0.1 mm），总线的影响可以忽略，且各管芯馈入总线的射频信号幅度和相位相等，图4(b)中的总线各并联输出端的中点（A～H）可以视为“虚断”，因此16路总线结构可以看作8个独立二合一合路器的并联。为保证总线直流通路的宽度能够通过最大动态漏电流的1.5倍，确定总线微带的宽度为80 μm。同时，总线两端供电微带线的感值对16路管芯的幅度平衡度有着重要影响[5]，如图6所示，随着微带线长度L_d逐渐变长，原理图仿真的16路端口幅度以及相位不平衡度先逐渐变小，再逐渐变大，L_d的取值在750 μm时最佳。

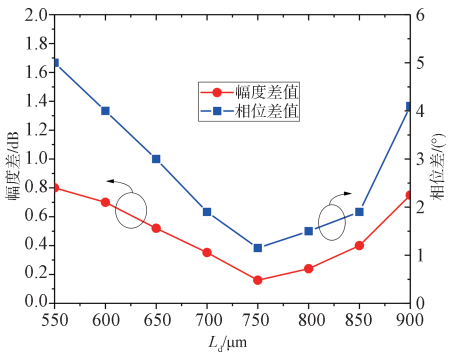
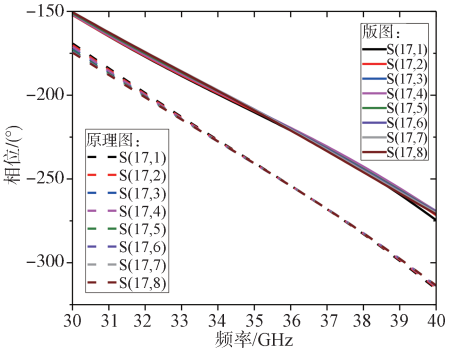


图 6　16端口幅度和相位差值随L_d的变化曲线

图7对比了总线结构原理图和版图仿真的幅度相位情况，33～37 GHz之间无源的原理图仿真的各端口传输系数的差值在0.2 dB左右，相位差为1.5°以内。版图EM仿真后传输系数的差值最大为1 dB，相位差最大值为2.8°。



（b）相位

图 7　芯片二输出级传输系数和相位仿真曲线

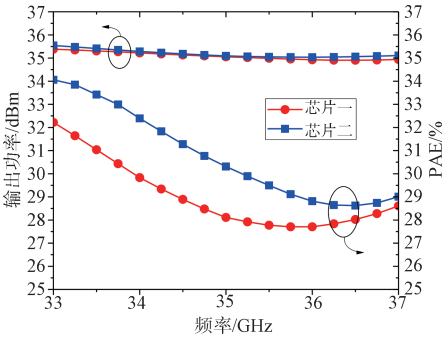


图 8　输出级EM仿真输出功率和功率附加效率

基于上述仿真结果，2种结构的原理图各端口幅度相位一致性相差不大，但是经版图布局和EM仿真后总线型结构的幅度相位一致性能更好，原因在于芯片一的簇丛式结构版图布局引入的寄生和耦合效应更强，带来了幅相平衡度的恶化。引入有源管芯后两种芯片输出级合成性能的版图仿真结果如图8所示，芯片一的输出级合成功率大于34.9 dBm，PAE在27.5%～32.5%之间；芯片二的合成功率大于35.0 dBm，PAE在28.5%～34.0%之间；芯片二输出性能略有优势。

1.3　整体电路设计及对比

上述输出级为整体芯片提供足够的输出功率，中间级则采用4×75 μm管芯为末级提供足够的驱

动功率，输入级 4×50 μm 管芯保证驱动中间级的条件下为整体链路提供更高的增益[6]。由于前级的幅度相位的波动也会影响到输出级各管芯输入功率的幅度相位情况，从而影响到合成效果，设计输入和级间匹配电路时也需要关注各管芯的幅度相位一致性。33～37 GHz频带内管芯高低频的阻抗存在差异，考虑到低频具有更高的增益，为了实现带内平坦的功率输出，在设计级间和输入匹配时采用增益补偿技术[7]，调整匹配结构参数使得前两级低频阻抗点略微失配，高频的损耗降到最低，前级管芯提供正斜率功率输出，补偿末级管芯的滚降，以芯片一为例，各级单路管芯的输出功率的EM仿真结果如图 9 所示，达到上文中链路预算的各级管芯输出水平。

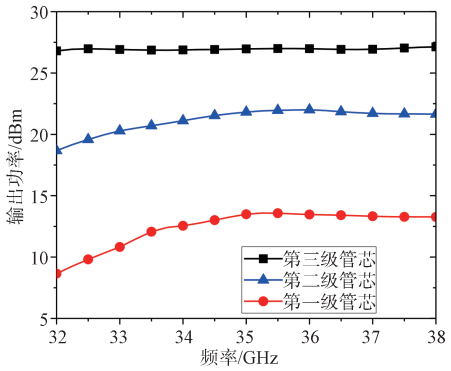


图 9　芯片一各级管芯输出功率

两款芯片经EM整体仿真后的饱和输出功率和功率附加效率曲线如图 10 所示，由于前级驱动管芯会带来一部分功耗，整版芯片的PAE相较单一输出级仿真结果降低 3%，最终芯片一 PAE 大于 25%，芯片二 PAE 大于 26.5%，输出功率水平维持在 35 dBm 左右。

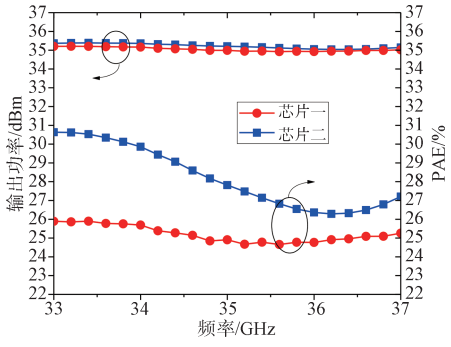


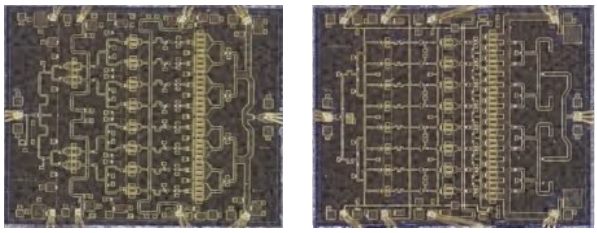
图 10　芯片输出功率和功率附加效率EM仿真曲线

综合上述电路拓扑及仿真结果，从输出结构上看，芯片一采用 8 路 8×75 μm 管芯进行簇丛式合成，芯片二采用 16 路 4×75 μm 管芯先进行总线型合成，再采用簇丛式合成至单路输出。方案一的并联馈电位置不单一，匹配结构更加灵活；当合成路数增多时，方案二输出的总线型结构可以一定程度上简化合成结构，馈电口离管芯漏极更近，减小漏极供电 V_d 的损耗，但馈电位置固定且两端馈电线占用纵向尺寸。

从仿真性能上看，芯片二的性能略优于芯片一，在幅度相位差相同的情况下，合成路数越多，最低合成效率就越高，由于上述总线型合成路数是簇丛式的 2 倍，且上述总线型的幅相一致性本身优于簇丛式结构，同时更小的输出级管芯尺寸带来增益和功率密度上的优势，因此芯片二结构的功率合成性能更优。

2　测试结果分析

上述两款芯片的实物图如图 11 所示，芯片经共晶烧结进行装盒测试。图 12 测试结果表明在 33～37 GHz 的工作频段内，在输入功率 14 dBm 的情况下，芯片一饱和输出功率达 33.7 dBm 以上，芯片二饱和输出功率达 34.0 dBm 以上；芯片一 PAE 在 23.8%～28.0% 之间，芯片二在 24.5%～29.7% 之间，两款芯片功率增益如图 13 所示。



（a）芯片一　　（b）芯片二

图 11　芯片实物图

对比图 10 中的仿真结果，由于工艺模型存在偏差，两款芯片整体的实测PAE低于仿真值 2%，整体实测饱和输出功率比仿真值低 1.3 dB 左右。实测发现两款芯片带宽均往高频偏移，4×75 μm 宽带性能略差于 8×75 μm，芯片二效率高点从仿真的 33 GHz 附近偏移至 34.5 GHz 附近，原仿真 33 GHz 带外效率滚降较快，低频误差较大，使得整体效率优势变得不明显，但实测高点和典型值仍比芯片一高 1%～2%。

端口回波损耗测试结果如图 14 所示，芯片一和芯片二输入端口回波损耗典型值均小于－10 dB，芯

片一在高频37 GHz处略有恶化；输出端口芯片一小于－15 dB，芯片二小于－9 dB。

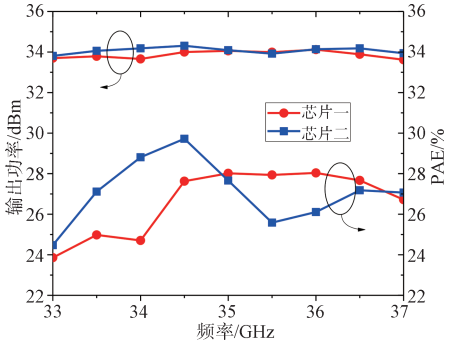


图12　饱和输出功率和附加效率测试曲线

基于上述仿真及测试结果，针对Ka频段瓦级输出的GaAs功率放大器芯片，输出级的总栅宽一致的条件下，可以采用一定范围内更多路更小尺寸管芯进行功率合成，换取更高的增益和效率。同时随着合成路数的增多，采用“Bus-bar”总线型结构可以简化电路结构，改善输出幅相不平衡，降低输出匹配电路引入的插入损耗。

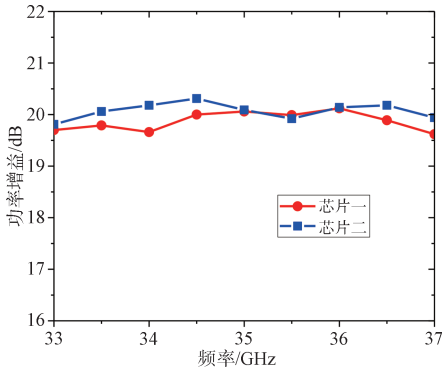


图13　功率增益测试曲线

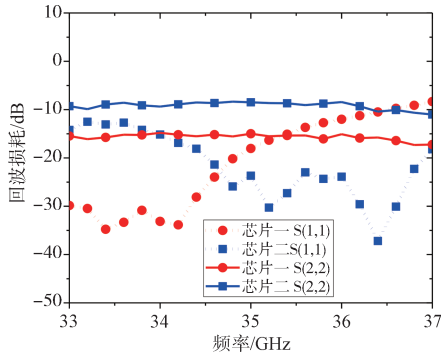


图14　输入输出回波损耗测试曲线

表2对比了几款国内同类GaAs MMIC功率放大器研究成果，在效率、功率以及尺寸上本文设计的芯片具有一定优势。

表2　同类GaAs MMIC功率放大器性能对比

产品	频率/GHz	功率增益/dB	Pout/dBm	效率/%	尺寸/mm
文献[8]	34～36	24.9	32.4	27.5	4.2×2.2
文献[9]	32～36	17.5	33	22	2.7×2.6
文献[10]	33～37	—	31.2	23.5	4.3×2.3
芯片二	33～37	20	34	24.5	3.0×2.4

3　结　论

本文基于0.15 μm GaAs pHEMT工艺设计了两款33～37 GHz功率放大器芯片，对比了簇丛式和总线型两种合成结构在Ka频段的性能，选用小管芯进行多路总线型合成可以提高合成效率。文中采用总线型的芯片二实现了带内34 dBm的功率输出，功率附加效率24.5%以上，典型功率增益20 dB，在功率效率等性能上具有一定优势，适用于Ka波段卫星通信系统。

参 考 文 献：

[1]　毛小庆，何勇畅，陈志巍，等．一种0.15μm GaAs pHEMT高效率功率放大器[J]．微电子学，2020，50(4)：499-502，508.

[2]　鞠久贵，成爱强．基于负载牵引的S波段130 W硅LDMOS功率放大器研制[J]．电子与封装，2023，23(1)：127-131.

[3]　彭龙新，邹文静，孔令峥，等．GaAs及GaN微波毫米波多功能集成电路芯片综述[J]．固体电子学研究与进展，2023，43(2)：121-135.

[4]　NIKANDISH G，MEDI A．A design procedure for high-efficiency and compact-size 5 - 10-W MMIC power amplifiers in GaAs pHEMT technology [J]．IEEE Transactions on Microwave Theory and Techniques，2013，61(8)：2922-2933.

[5]　MARSH S P，LAU D K Y，SLOAN R，et al．Design and analysis of an X-band MMIC “bus-bar” power combiner[C]//1999 Symposium on High Performance Electron Devices for Microwave and Optoelectronic Applications．EDMO．London，UK．1999：164-169.

[6]　叶坤，张梦璐，蒋乐，等．一种9～26 GHz宽带MMIC低噪声放大器的设计与实现[J]．电子与封装，2023，23(10)：70-74.

[7]　YAO T，GORDON M Q，TANG K K W，et al．Algorithmic design of CMOS LNAs and PAs for 60-GHz radio[J]．IEEE Journal of Solid-State Circuits，2007，42(5)：1044-1057.

[8] LI H H, LIANG X X, WANG K S. A Ka band 1.5W 27.5% PAE MMIC power amplifier in 0.15μm E-mode GaAs pHEMT process co-analysis with thermal characteristic [C]//2019 IEEE 3rd International Conference on Circuits, Systems and Devices. Chengdu, China. 2019: 69-73.

[9] 周必成. Ka波段MMIC功率放大器设计[D]. 成都：电子科技大学, 2019.

[10] 李海华，王魁松，赵巾翔，等. 一种基于0.15μm GaAs pHEMT工艺的Ka波段功率放大器设计[J]. 微电子学与计算机, 2021, 38(1): 17-21.