

一种 16 位高精度分段式电阻型 DAC 设计

张皓然¹, 焦子豪², 盛 炜¹, 章宇新¹, 曹燕杰¹, 陈旻琦¹

(1. 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214000; 2. 西安交通大学 微电子学院, 西安 710049)

摘 要: 采用 0.5 μm BCD 工艺, 设计了一种 16 位分段式电阻型高精度 DAC。根据集成电路工艺中电阻的一般失配特性, 确定电阻型 DAC 采用“4+12”的分段结构, 分别为高位温度计码结构和低位二进制码结构。整个电路中的电阻类型均采用高阻型电阻, 减小了 DAC 开关结构中的失配, 极大降低了整体功耗。电路结构紧凑, 整体面积小, 仅有 2.397 6 mm²。结合后仿真结果, 对版图进行合理调整, 使电路具有较低的微分非线性(DNL), 之后采用校正结构, 进一步降低 DNL。电路测试结果表明, 输入数字信号为 10 kHz 的正弦波时, DAC 的无杂散动态范围(SFDR)为 57.72 dB, DNL 为 0.5 LSB, 积分非线性(INL)为 1 LSB, 功耗为 1.5 mW。

关键词: 分段式电阻型 DAC; 温度计码; 二进制码; 无杂散动态范围; 校准模块

中图分类号: TN792

文献标志码: A

文章编号: 1004-3365(2022)04-0608-06

DOI: 10.13911/j.cnki.1004-3365.220185

A 16-bit High-Precision Segmented-Resistance DAC

ZHANG Haoran¹, JIAO Zihao², SHENG Wei¹, ZHANG Yuxin¹,
CAO Yanjie¹, CHEN Minqi¹

(1. The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi, Jiangsu 214000, P. R. China;

2. School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, P. R. China)

Abstract: Based on a 0.5 μm BCD technology, a 16-bit high-precision segmented-resistance digital-to-analog converter (DAC) was designed. According to the general resistance mismatch feature in integrated circuit process, the DAC had “4+12” architecture, and it was divided into temperature coding part and binary coding part. All the resistors in this DAC were high-impedance, which reduced the mismatch in the DAC switch architecture as well as its whole power dissipation. The DAC had a compact architecture and a small layout area of 2.397 6 mm². Combined with the results after post-simulation, the layout was modified, which made the DAC have a low differential non-linearity (DNL). Moreover, its calibration part could make it lower. The test results showed that the DAC had a spurious free dynamic range of 57.72 dB, a DNL of 0.5 LSB, a INL of 1 LSB, and a power dissipation of 1.5 mW when its input was 10 kHz sine digital wave data.

Key words: segmented-resistance DAC; temperature code; binary code; spurious free dynamic range; calibration part

0 引 言

随着工业化不断发展, 科学技术不断进步, 各类仪器仪表对精度和误差的要求越来越高。在各类测

控仪器设备中, 数模转换器(DAC)作为数字系统与现实世界的桥梁, 发挥着极为关键的作用。

DAC 按照转换方式分为电流舵型 DAC、电阻型 DAC 和电荷型 DAC^[1]。电流舵型 DAC 具有较强的驱动能力, 转换速率较快, 一般不需要在末端增

收稿日期: 2022-05-19; 定稿日期: 2022-06-10

基金项目: 国家自然科学基金资助项目(62174149); 江苏省自然科学基金资助项目(BK20211042)

作者简介: 张皓然(1993—), 男(汉族), 山东临沂人, 硕士, 工程师, 从事模拟集成电路设计和 FPGA 逻辑设计工作。

加驱动器^[2]。然而,这种结构会导致版图面积过大、功耗过高等问题,增加了成本。电荷型DAC通过电容阵列实现数字信号到模拟信号的转换,版图面积大且转换速率低^[3]。电阻型DAC结构简单,功耗低,对复杂工艺依赖性较小,可实现较高精度。 $R-2R$ 型DAC是电阻型DAC最为常用的类型,但该结构存在两个不足:其一,电阻型DAC不具备驱动能力,输出端会有一个放大输出级^[4],但放大器输入端的等效电阻会随着输入数字信号的改变而改变;其二,制作高精度DAC必然会增加位数,而随着位数的增加,电阻数量也增加,使得版图面积增大,功耗增加,对DNL和INL这两个性能参数的要求更严格。因此,本文针对上述缺陷问题,提出一种新的结构。

针对不足之一,本文采用高阻结构,使得DAC整体的等效电阻值变大,削弱了放大输出级输入端等效电阻的非线性影响。针对不足之二,为保证16-bit有效位数,而又不增加太多电阻节点,本文采用“4+12”分段式结构,大大减少了电阻数量,降低了整体功耗。最后,针对电阻型DAC的电阻工艺误差和失配特性带来的输出等效电阻的变化这一固有间题,电路中最后加入了电流校准结构,可灵活校准DAC的输出误差,保证了较高精度,解决了该类型DAC的固有不足。

文章第1节介绍分段式电阻型DAC的设计思路;第2节介绍DAC的主要结构:温度计码结构、二进制码结构和校准结构;第3节介绍电路版图、后仿真和测试结果;第4节给出结论。

1 分段式电阻型DAC的设计思想

本文介绍的分段式电阻型DAC采用 $0.5\ \mu\text{m}$ BCD工艺。整个电路在功能上分为数字逻辑模块、带隙基准模块、时钟振荡模块、输入输出级放大器DAC内核部分,电路功能框图如图1所示。

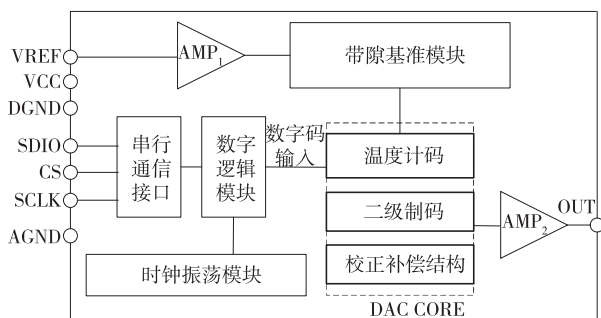


图1 16位分段式电阻型DAC结构图

在图1所示的16位分段式电阻型DAC结构图中,输入引脚是VREF、SDIO、CS、SCLK,输出引脚是OUT,电源引脚是AGND、DGND、VCC,一共有8个引脚,采取的封装形式是塑封SOP-8。电路上电后,首先对各个模块进行初始化,随后开启带隙基准和时钟振荡模块,前者给各个模拟部分电路提供基准源,后者给数字逻辑部分提供运行时钟。初始化后,外部数据通过SDIO、CS和SCLK三跟信号线组成的SPI串行数据接口进入数字逻辑模块,经过数据合成和处理后进入DAC内核。SPI最高支持30 MHz的串行时钟速度,SPI串行数据位宽为24位,其中数据位为16位,最高位为校准开启位,后5位是校准位。当需要进行校准补偿时,只需通过SPI开启校正模式,控制SPI更改校准补偿位,可实现相应的校准。数据格式如图2所示。

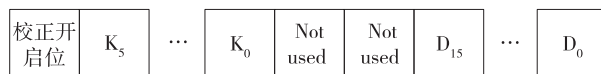


图2 SPI数据格式图

2 分段式电阻型DAC的电路设计

分段式电阻型DAC的核心部分结构框图如图3所示。

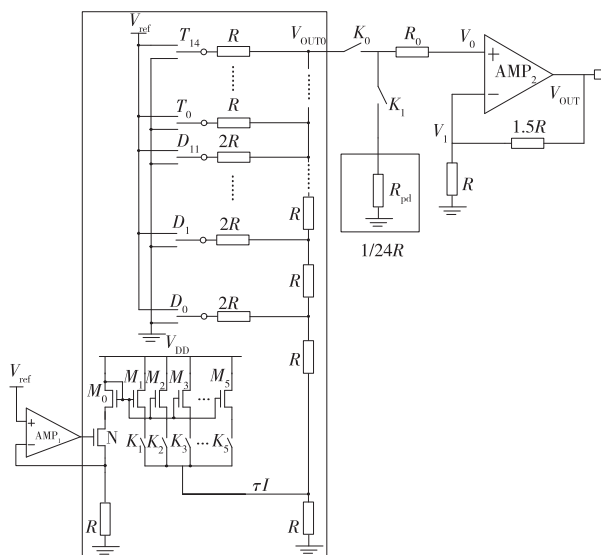


图3 DAC核心部分电路结构图

DAC内核分为三个部分,分别是高位的温度计码结构、低位的二进制码结构以及校正补偿结构。典型DAC二进制码结构被称作“ $R-2R$ ”型DAC结构,该类型的DAC结构简单,版图制作难度不大。随着DAC位数的上升,会出现电阻结构增多、版图

过大的缺点,所以设计中选取 R - $2R$ 型 DAC 作为低 12 位部分,高位则采用了温度计码的结构,使用连续 15 级阻值为 R 的电阻与低位结构并行相连。这扩大了 DAC 的位数,也没有过多增加版图面积^[9]。

电路的高位由 $T_0 \sim T_{14}$ 共 15 位的温度计码结构构成,低位由 $D_0 \sim D_{11}$ 共 12 位的二进制码结构构成。DAC 低位编码包括 12 个电阻 $2R$ 和 12 个电阻 R 。12 个电阻 R 依次串联形成电阻链,每个电阻 $2R$ 的第一端分别通过一个单刀双掷开关接地或者接参考电压 V_{ref} ,每个电阻 $2R$ 的第二端分别连接在每两个电阻 R 之间。电阻链的第一端连接放大输出级,第二端通过一个电阻 R 接地。DAC 高位编码包括 15 个电阻 R ,每个电阻 R 的第一端分别通过一个单刀双掷开关接地或者接参考电压 V_{ref} ,每个电阻 R 的第二端连接放大输出级。

电路最下方是由数字逻辑模块控制的 5 位 DAC 校正补偿结构,用于校正补偿 DAC 的输出误差,以提高 DAC 的输出精度。

MOS 管 M_0 的源端连接 MOS 管 N 的漏端, MOS 管 N 的源端通过一个电阻 R 接地, MOS 管 N 的栅端连接放大器 AMP_1 的输出端,放大器 AMP_1 的正输入端连接参考电压 V_{ref} ,负输入端连接 MOS 管 N 的源端,起到 V - I 转换的功能。MOS 管 M_1 至 M_5 的栅端互连,并接至 MOS 管 M_0 的栅端。MOS 管 M_1 分得的电流是待复制电流的 $1/2$, MOS 管 M_2 分得的电流是待复制电流的 $1/4$ 。以此类推, MOS 管 M_5 分得的电流是待复制电流的 $1/32$ 。因为电阻偏差是固定的,所以在流片回来后按照第一次测得的偏差控制校准结构中 MOS 管的合断。向 DAC 中注入不同比例的电流,可修改不同失调情况下的输出电压。当然,二进制码的 MOS 管配比形式不是唯一的,总值也可以超过 V_{ref} 值。

放大输出级运放 AMP_2 的输入范围可能达不到 $0 \sim V_{ref}$ 的宽输入范围,需要将 DAC 输出的电压先缩小至运放工作范围,再按照相同倍数进行放大。

考虑到本文所描述的电路属于线性电路,可以使用叠加定理,分别对 DAC 主体部分和校正补偿电路单独进行讨论。将两部分得到的输出电压相加就是最终的 V_{OUT} 。

2.1 DAC 主体结构的等效电路分析

将校准补偿结构和放大输出级从 DAC 整体结构中断开,然后变形,得到的等效电路如图 4 所示。

根据戴维南等效定律,从末端往输出级看,末端电阻 $2R$ 与开关 D_0 控制的 $2R$ 并联,等效阻值为 R 。

然后与 V_0 节点的电阻 R 串联,得到等效电阻 $2R$ 。以此类推,计算出等效电阻 R_{eq} ,为 $R/16$ 。

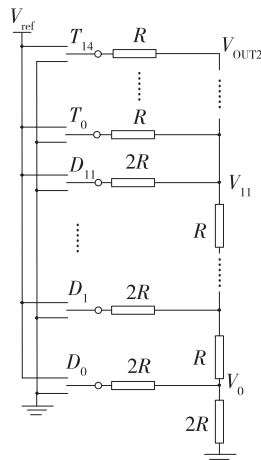


图4 DAC主体部分的等效电路图

根据基本的 R - $2R$ 结构电路特点,输出电压 V_{OUT2} 为:

$$V_{out2} = \frac{1}{16} V_{ref} \sum_{i=1}^{12} D_i 2^{-i} + \frac{\sum_{j=1}^{15} T_j V_{ref}}{16} \quad (1)$$

2.2 DAC 校正补偿结构的分析

根据戴维南等效定律,数字码值可以抽象成电压源,且均接地。校正补偿部分的电路结构可以简化,如图 5 所示。

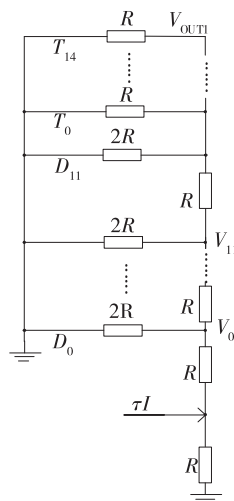


图5 DAC核心部分电路结构图

设 D_0 支路流过电流为 I_0 ,由数学归纳法可知:

$$\begin{cases} V_0 = 2I_0 R, \\ V_1 = V_0 - R(I - I_0), \\ \dots \\ V_{10} = V_9 - R(I - I_0 - \dots I_9), \\ V_{11} = V_{10} - R(I - I_0 - \dots I_{10}), \\ V_{11} = \frac{2R}{31}(I - I_0 - \dots I_{10}) \end{cases} \quad (2)$$

根据电流灌入的影响,可推导出:

$$\begin{cases} \frac{V_n}{V_{n-1}} = \frac{1}{16.5}, \\ V_0 = RI_0 = \frac{1}{\xi} R\tau I, \\ I = \frac{V_{ref}}{R} \end{cases} \quad (3)$$

式中, τ 是校准电流复制系数, ξ 是电阻网络分压系数。最终推导出:

$$V_{out1} = \frac{1}{(16.5)^n} \frac{\tau}{\xi} V_{ref} \quad (4)$$

ξ 的推算过程如下。从电流注入点看进去, 电流会经过两个电阻网络支路, 一个网络支路是一个电阻 R 接到地, 另一个网络支路是二进制码电阻网络与温度计电阻网络。将温度计码电阻网络等效处理, 等效电阻是 $R/16$; 将二进制码电阻网络等效处理, 等效电阻是 RX_z/Y_z , 其中:

$$\begin{cases} Y_z = 3Y_{z-1} + X_{z-1}, & X_0 = 2, Y_0 = 3 \\ X_z = Y_z - 1 \end{cases} \quad (5)$$

总的等效电阻为:

$$R'_{eq} = \frac{RX_z}{Y_z} + \frac{R}{15} \quad (6)$$

随着迭代阶数的增加, $R'_{eq} \approx R$ 。其变化范围为:

$$R'_{eq} \in \left(\frac{2}{3}, 1 \right) R \quad (7)$$

因此, 流向电压节点 V_0 的相应的电流变化范围是:

$$I'_0 \in \left(\frac{3\tau I}{11}, \frac{\tau I}{3} \right) \quad (8)$$

电阻 $2R$ 上流过的电流也经过类似分流原理, 同理可得:

$$I_0 \in \left(\frac{9\tau I}{121}, \frac{\tau I}{9} \right), \quad \xi \in \left(\frac{121}{9}, 9 \right) \quad (9)$$

2.3 DAC 最终输出分析

根据线性电路叠加定理, DAC 的最终输出为 $V_{OUT0} = V_{OUT1} + V_{OUT2}$ 。当 V_{OUT0} 的值超过后级放大器的输入范围时, 会出现削波失真, 所以需要先按照比例缩小输出。按照本文选取的轨到轨运放输入范围, 需将输出缩小到 $1/2.5$ 倍, 才能保证输出不会失真。DAC 的 R_{eq} 为 $R/16$, K_0 和 K_1 闭合后, 输出接到一个下拉电阻上, 该电阻值为 $R/24$, 与等效电阻进行分压, 可以将 DAC 输出电压按照 $1/2.5$ 的比例缩小, 再按照 2.5 的比例放大, 如图 6 所示。由

于选取的电阻均为高阻类型, 放大器输入端在数字码变化时带来的等效阻抗变化可以忽略。但是, 从放大器输入端倒灌进来的基极电流却不可忽略, 因此需要一个校准补偿结构。

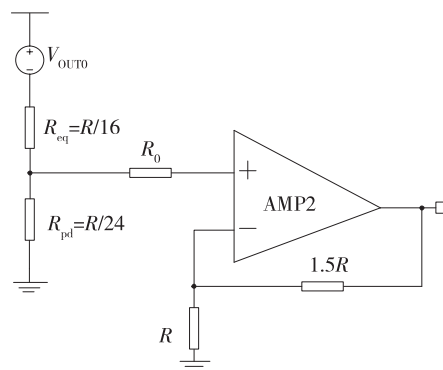


图6 DAC输出等效电路图

3 版图、后仿真与测试结果

3.1 分段式电阻型DAC的版图设计

基于 $0.5 \mu\text{m}$ BCD 工艺设计了 16 位分段式电阻型 DAC 的版图, 如图 7 所示。版图尺寸为 $1.08 \text{ mm} \times 2.22 \text{ mm}$, 面积为 2.3976 mm^2 。数字和模拟部分的版图独立放置, 数字部分中门电路布置紧凑。锁存器、开关电路、译码电路、寄存器以及数字走线占据版图左半平面, 数字和模拟部分之间设计了一条用于隔离噪声的地环, BCD 工艺使用带埋层的 MOS 器件, 具有良好的抗干扰性能, 使得设计上具有很好的信号完整性^[8]。在模拟部分中, 时钟模块紧挨着数字部分, 时钟线取最短路路径, 以减少线损, DAC 内核中的电阻全部采用高阻类型, 严格对称。输入数字码从数字部分出发, 以严格等长进入 DAC 内核, 确保信号在抵达 DAC 内核的时间一致。输入放大级放置在版图右上方, 输出放大级放置在版图正右方, 位置上形成了正交分布, 具有良好的抗干扰能力。上述版图布局技巧有效避免了工艺误差和信号干扰。

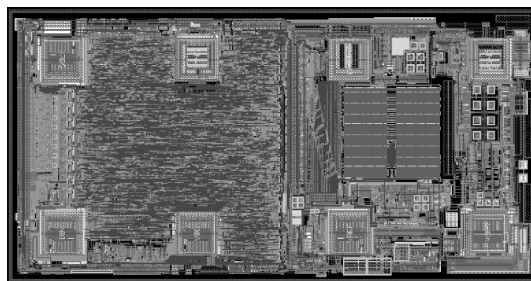


图7 分段式电阻型DAC的版图

3.2 分段式电阻型 DAC 关键参数后仿真结果

本文分段式电阻型 DAC 属于低速高精度 DAC,主要应用于仪器仪表领域,关键参数为 DNL 和 INL^[10]。该 ADC 也存在典型的动态范围指标,理论上 SPI 支持 30 MHz 的速度,有效位数为 24 位,最高支持 30/24 MHz 的采样速率,具有 625 kHz 左右的输出频率带宽。

以典型的 10 kHz 输出为例,根据版图提供的参数,整合前仿设计网表得到后仿网表文件。10 kHz 正弦波输出的后仿结果如图 8 所示。

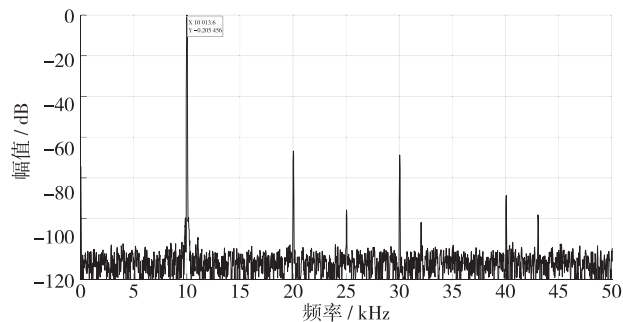


图 8 10 kHz 正弦波输出频谱的后仿真结果

DAC 的 DNL 和 INL 后仿性能参数的计算式为:

$$DNL = \text{MAX}(\text{abs}(\frac{D_i - D_{i-1} - \text{LSB}}{\text{LSB}})), \quad 1 < i < 65535 \quad (10)$$

$$INL = \sum_{i=1}^{65535} DNL_i \quad (11)$$

在 $-40^\circ\text{C} \sim 85^\circ\text{C}$ 温度范围内校准开启前后的后仿真对比结果如图 9 所示。

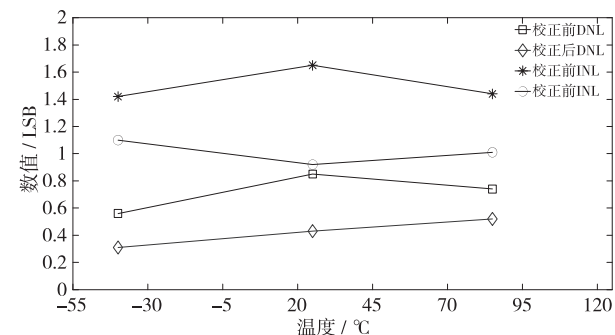
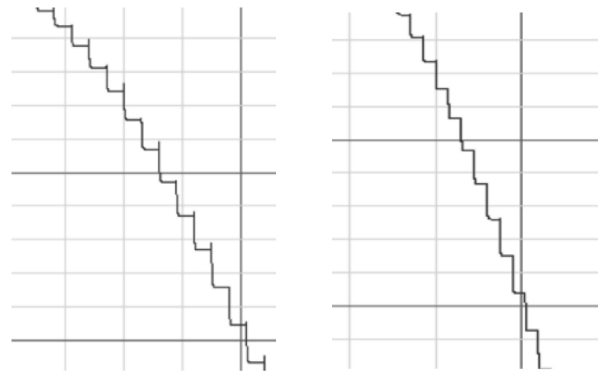


图 9 分段式电阻型 DAC 非线性参数后仿真结果

校准前、后校准结构时域上的后仿结果如图 10 所示。明显看到,正弦波台阶被校准补偿后,原先的毛刺消失,波形变得均匀和光滑。由图 9 可知校准前后 DNL 和 INL 性能在 25°C 时分别提升了 0.4 LSB 和 0.6 LSB。

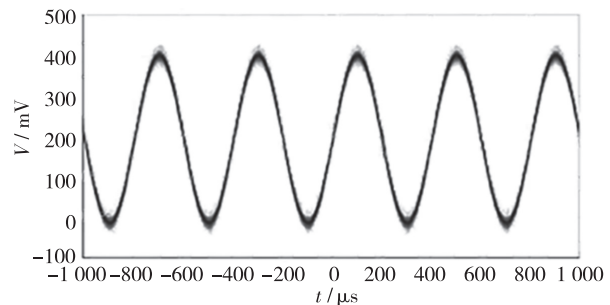


(a) 校正前 (b) 校正后

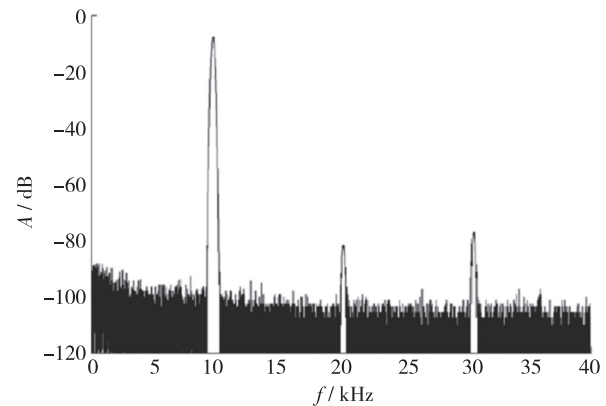
图 10 校准前、后校准结构的后仿真结果

3.3 分段式电阻型 DAC 的实测结果

经过现有工艺流片后,针对分段式电阻型 DAC 的典型参数进行实际测试。10 kHz 正弦波输出的结果如图 11(a) 所示,频谱输出结果如图 11(b) 所示。



(a) 时域测试



(b) 频域测试

图 11 10 kHz 正弦波输出的实测波形结果

由测试结果可知,实测的 10 kHz 正弦波信号输出底噪约为 -90 dB ,输出频谱能量为 -13.86 dB 。无杂散动态范围 SFDR 约为 57.72 dB ,与后仿结果 66.72 dB 相差 9 dB 。

本文中 DAC 与其他同类 DAC 的性能参数对比结果如表 1 所示^[2-4]。

表 1 电阻型 DAC 性能对比

文献	精度/bit	工艺尺寸/ μm	功耗/mW	电源/V	DNL/LSB	INL/LSB
文献[6]	8	0.6	-	-	-	1.2
文献[7]	16	0.065	-	-	0.07	0.267
文献[8]	12	0.18	2.34	1.8	9.5	13.5
本文	16	0.5	1.5	3~5	0.5	1

4 结 论

基于 0.5 μm BCD 工艺,本文设计了一种高精度、低成本、低功耗的 DAC。宽供电范围为 3~5 V。采用“4+12”的分段结构和精度校准机制,一定程度上解决了电阻型 DAC 的固有缺陷。测试结果表明,当环境温度为 25 $^{\circ}\text{C}$,输入数字信号为 10 kHz 的正弦波时,DAC 的 SFDR 为 57.72 dB,DNL 为 0.5 LSB,INL 为 1.0 LSB。SFDR 性能参数与后仿相差 9 dB,这是由于引入了二次和三次谐波,导致动态性能变差。后期可以通过提高 DAC 内核开关速度、增强电路稳定性来改善其动态性能。实测结果验证了本文 DAC 具有较好的线性度。

参 考 文 献:

[1] 应建华, 刘强. 电压型 R-2R 梯形网络 DAC 线性误差分析方法 [J]. 微电子学, 2006, 36(3): 257-260.

[2] 康明超, 孔祥艺, 黄立朝, 等. 一种双通道 16 位串行数模转换器电路设计 [J]. 电子与封装, 2021, 21(6): 36-39.

[3] DEVEUGELE J, STEYAERT M S J. A 10-bit 250 MS/s binary-weighted current-steering DAC [J]. IEEE J Sol Sta Circ, 2006, 41(2): 320-329.

[4] 杨皓元, 李儒章, 杨卫东, 等. 一种 16 位 600 MS/s 电流舵 D/A 转换器的设计 [J]. 微电子学, 2015, 45(1): 6-13.

[5] 黄祥林, 李富华, 宋爱武. 一种低功耗无运放结构的基准电压源设计 [J]. 电子与封装, 2021, 21(11): 36-41.

[6] LEI W, FUKATSU Y, WATANABE K. A CMOS R-2R ladder digital-to-analog converter and its characterization [C] // IEEE IMTC. Budapest, Hungary. 2001: 1026-1031.

[7] NOORWALI A A, DOOST A S, HUYNH A, et al. A 16-bit 4 MSPS DAC for lock-in amplifier in 65 nm CMOS [C] // IEEE 13th ICNSC. Mexico City, Mexico. 2016: 1-5.

[8] 刘升辉. 一种 12 位高精度、低功耗电流舵与 R-2R 电阻混合型 DAC 的设计 [D]. 深圳: 深圳大学, 2015.

[9] 毕查德·拉扎维. 模拟 CMOS 集成电路设计 [M]. 西安: 西安交通大学出版社, 2003: 15-18.

[10] 张泽伟. 12 位 160 MHz 双通道分段式电流舵 DAC 的研究与设计 [D]. 桂林: 广西师范大学, 2019.