

一种机载 DC/DC 浪涌电流抑制电路的设计

杜培德, 卢 翔, 鄢毅之

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 为了满足 EMC 要求,通常需在机载二次 DC/DC 的输入端并联大容量电容,导致开机瞬间形成很大的浪涌电流,从而引起系统异常。常规的抑制方法是在输入端串联电感、NTC 热敏电阻,或者串联 MOS 管并简单控制其缓慢开通。但这些方法存在输入电压振荡、高温时抑制失败,或者启动延时长且不能抑制重复快速浪涌等缺点。基于 MOS 管的密勒效应,设计了一种能够延长 MOS 管开通上升时间的电路,使电容电压上升速率变缓,从而抑制浪涌电流。仿真及验证结果表明,该电路具有启动延时仅有 10 ms、可抑制最高 60 Hz 的重复快速上电浪涌、上电速率可调等优点。

关键词: 浪涌电流抑制; 密勒效应; MOS 管开关特性

中图分类号: TN42

文献标识码: A

文章编号: 1004-3365(2018)02-0216-06

DOI: 10.13911/j.cnki.1004-3365.170374

Design of a Surge Current Suppression Circuit on Airborne DC/DC

DU Peide, LU Xiang, YAN Yizhi

(Sichuan Institute of Solid-State Circuits, China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: In order to satisfy the electromagnetic compatibility standard, bulk capacitors are usually put in parallel with the input lines of airborne secondary DC/DC converters, which would result in a huge surge current and may cause system failures at the moment of powering on. Ordinary suppression methods are to put an inductor, or an NTC thermistor, or an MOSFET in series at the input of DC/DC converter, and then to turn it on very slowly with simple control mode. These methods have disadvantages of input voltage oscillation, suppression failure at high temperature, long delay time and suppression failure under the condition of fast repetitive surges. Based on MOSFET's Miller effect, a circuit which could greatly extend the rise time for turning on MOSFET was presented. The rise rate of capacitor voltage was get slowed, so the surge current was suppressed. Simulation and actual tested results showed that the proposed circuit had achieved a startup delay time of only 10 ms. It could suppress the fast repetitive surge with a frequency up to 60 Hz. The rise rate of capacitor voltage could be adjusted easily.

Key words: surge current suppression; Miller effect; MOSFET switching characteristics

0 引 言

开关电源具有体积小、重量轻、效率高和可靠性高等特点,已被广泛应用于机载二次电源设计。但

开关电源的开关特性不可避免地会产生频率丰富的电磁干扰,并可能以传导或辐射的方式影响周围敏感电子设备。因此在应用于机载设备之前,开关电源需单独或随整机通过 GJB151A—1997 规定的 CE102、RE102、CS101 等各项电磁兼容试验^[1]。

收稿日期: 2017-08-18; 定稿日期: 2017-10-09

作者简介: 杜培德(1986—),男(汉族),云南玉溪人,硕士,工程师,从事高性能 DC/DC 开关电源的设计研究工作。

为实现电磁兼容,需在输入前端放置由大电感、大电容和阻尼电阻构成的滤波器。为避免接入滤波器或高输出阻抗电路后的输入产生振荡,还需在电源模块的输入端并联大电容,以匹配阻抗要求。但根据电容特性,容量越大,上电速率越快,则会在上电瞬间形成很大的浪涌电流。可能导致的常见故障有:继电器触点粘连,通断控制失效;保险丝熔断或过流保护电路反复动作,系统无法上电;母线电压被拉跨,数据处理等设备出现“死机”、“重启”等情况。浪涌电流过大还会影响电容的可靠性。因此,非常有必要对开机浪涌电流进行抑制。

本文基于 MOS 管的密勒效应,设计了一种能延长 MOS 管开通上升时间的电路,可将电压上升速率变缓,从而抑制浪涌电流。与常规电路相比,该电路不会产生输入振荡,启动延时短,能响应并抑制快速重复上电浪涌。该电路的结构简单,适合于机载二次电源前端使用。

1 常规浪涌抑制方法

1.1 串联电感

利用电感电流不能突变的特性,在输入端串联电感 L ,以抑制浪涌电流。通常, L 与电源模块输入端的滤波电容 C_{in} 一同构成 LC 滤波器,如图 1 所示。

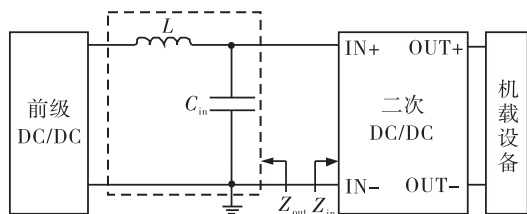


图 1 串联电感抑制浪涌

LC 滤波器存在固有谐振频率点,多数情况下输入振荡会自动阻尼衰减^[2],电路简单有效,但对后级也为 DC/DC 的电路而言,可能存在输入持续振荡的问题。这是因为后级 DC/DC 输出功率稳定时,从输入端口看,输入电压越高,输入电流越小,其输入阻抗呈现负阻特性。与正阻消耗能量不同,负阻可以反灌能量,从而引起输入电压谐振。

以 CS101 试验为例^[1]。该实验可衡量输入线上存在干扰时被测电路的敏感度。将 25 Hz~50 kHz 正弦信号(峰值为 ± 3 V 左右)通过耦合变压器

(高阻抗)串联到输入线上。若 C_{in} 偏小或阻尼不当,在某个频率区间,输入电压可能会发生持续谐振。若谐振电压高于或低于二次 DC/DC 所允许的范围,二次 DC/DC 将工作异常,进而引起机载设备故障。

根据 Middlebrook 阻抗比判据^[3],当滤波器输出阻抗 Z_{out} 在全频率范围内远小于 DC/DC 输入阻抗 Z_{in} 时,系统稳定。因此,在输入端串联大电感时,需增大 C_{in} 以降低 Z_{out} ,但 C_{in} 增大又会加剧浪涌。二者相互矛盾,该方法不适合应用于功率机载二次电源中。

1.2 串联电阻

如图 2 所示,利用 RC 充电原理,在输入端串联电阻 R_{lim} ,以抑制浪涌电流。

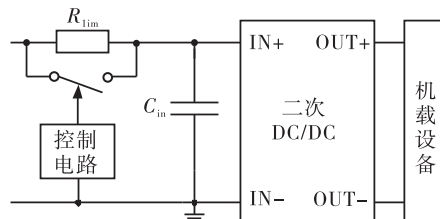


图 2 串联电阻抑制浪涌

R_{lim} 可选用负温度系数的热敏电阻。常温时, R_{lim} 的阻值较大,随着电流流过电阻发热后,其阻值降低,从而实现浪涌抑制。电路结构简单,但在高温环境或重复开机时会因阻值不能及时恢复而抑制失败。

R_{lim} 也可采用固定阻值的功率电阻。启动时依靠电阻限流,控制电路对电容电压或浪涌电流进行检测,待浪涌结束后,使能继电器或 MOS 管将电阻短路,从而降低稳态功耗。但该电路体积大、控制电路复杂,也不是理想的浪涌电流抑制电路。

1.3 简单串联 MOS 管

由 MOS 管的 $V-I$ 特性可知^[4],栅源电压 V_{GS} 上升至开启门槛 V_{TH} 后,MOS 管开始导通并进入线性区,栅漏电压 V_{DS} 随之下降直至饱和导通。因此,控制 V_{GS} 可实现浪涌电压箝位或浪涌电流抑制。常见的电路如图 3 所示。

输入电压 V_{IN} 通过 R_1 对 C_1 充电, V_{GS} 缓慢上升, V_{DS} 逐渐下降,即减缓了 C_{in} 两端的电压上升速率,从而实现浪涌抑制。但这种结构只是简单地通过 RC 充电来控制 V_{GS} , R_1 和 C_1 的取值势必很大,具体内容详见 2.2 节分析。该电路自 V_{IN} 上电至

DC/DC 开始工作的时间(启动延时)将非常长。当系统出现快速重复上电时, C_1 不能快速放电, V_{GS} 始终大于 V_{TH} , MOS 管保持开通状态, 浪涌抑制失败。

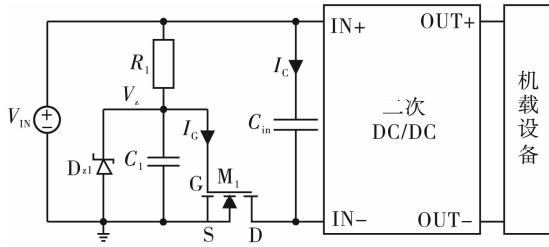


图 3 简单串联 MOS 管抑制浪涌

2 原因分析

串联 MOS 管实现浪涌抑制的核心原理是控制 V_{GS} , 电路结构相对简单且可靠。本文基于图 3 所示的基本电路, 对 V_{GS} 的控制部分进行改进。首先, 分析 MOS 管的开通特性, 以确定控制 V_{GS} 的关键因素和方法; 其次, 分析图 3 所示电路存在的问题及原因, 以确定改进方案。

2.1 MOS 管开通特性

MOS 管的等效开关电路模型如图 4 所示^[5]。MOS 管的工艺制造结构形成了栅源电容 C_{GS} 、栅漏电容 C_{GD} 和漏源电容 C_{DS} 。这些电容是影响 MOS 管开关特性的重要参数, 尤其是 C_{GD} 。

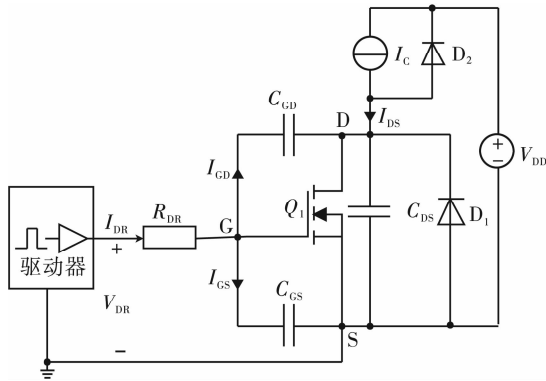


图 4 MOS 管的等效开关模型

开机浪涌电流的抑制主要利用 MOS 管的开通特性。开通过程分为四个阶段, 如图 5 所示。

第一阶段($t_0 \rightarrow t_1$)。驱动器输出电流 I_{DR} 通过驱动电阻 R_{DR} (包括 MOS 管内部栅极电阻 R_G) 后流向 C_{GS} 和 C_{GD} , 分别对应 I_{GS} 和 I_{GD} 。 C_{GD} 在 t_0 时刻前已经被快速变化的 dV_{DS}/dt 充满, D 极电平高于 G 极, 仅有极小的 I_{GD} 流向 C_{GD} 放电。此时, $I_{GS} \approx I_{DR}$, 对 C_{GS} 充电, V_{GS} 呈指数规律上升至 V_{TH} 。该时段内 V_{DS}

不变, I_{DS} 为零, Q_1 管仍处于关断状态, $t_d = (t_0 \rightarrow t_1)$ 为开启延时。

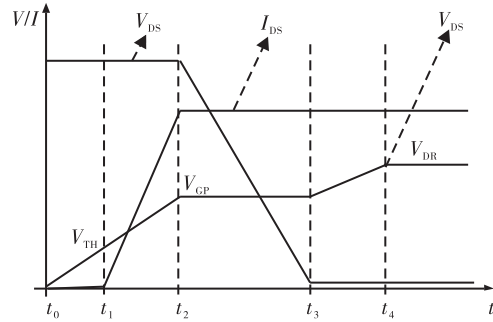


图 5 MOS 管的开通过程

第二阶段($t_1 \rightarrow t_2$)。 t_1 时刻, $V_{GS} = V_{TH}$, 之后 Q_1 管开始微导通, I_{DS} 跟随 V_{GS} 并按跨导比例增大, 直至 t_2 时刻, I_{DS} 到达饱和电流或外围限定电流 I_C 。此时, V_{GS} 被充电至密勒电平 V_{GP} , 流过二极管 D_2 的电流被 I_{DS} 逐渐分流, 但 V_{DS} 仍被箝位。

第三阶段($t_2 \rightarrow t_3$)。 t_2 时刻, $V_{GS} = V_{GP}$, 之后二极管 D_2 截止, $I_{DS} = I_C$ 并保持, V_{DS} 开始下降。D 极电平快速下降, 导致 I_{DR} 几乎全部流向 C_{GD} 放电, 并加剧 V_{DS} 下降。 I_{GS} 几乎为零, V_{GS} 基本保持不变, 呈现出一个电压“平台”, 即密勒效应^[6]。在此期间, V_{DS} 下降至 V_{GP} 时 C_{GD} 完全放电。随着 V_{DS} 继续下降, I_{DR} 开始向 C_{GD} 充电, 直至 t_3 时刻, $V_{CGD} \approx V_{GP}$ 。

第四阶段($t_3 \rightarrow t_4$)。 t_3 时刻, D-G 电平极性已反转, Q_1 管完全导通。之后, I_{DR} 同时向 C_{GS} 、 C_{GD} 充电, V_{GS} 继续上升直至 V_{DR} 。在此期间, Q_1 管的导通电阻 $R_{DS(ON)}$ 随 V_{GS} 降低, $V_{DS} = I_{DS} \times R_{DS(ON)}$, 随之降低。

综上所述, V_{DS} 在($t_2 \rightarrow t_3$)时段内逐渐下降, 该时段即为 C_{GD} 的放电时间, 时长由放电电流 $I_{GD} \approx I_{DR}$ 决定。因此, 控制 V_{GS} 实现浪涌抑制的关键因素在于控制 I_{GD} 。 I_{DR} 可表示为:

$$I_{DR} = \frac{V_{DR} - V_{GP}}{R_{DR}} \quad (1)$$

$t_r = (t_1 \rightarrow t_3)$ 被称为开通上升时间, 可表示为:

$$t_r = C_{GS} \times \frac{V_{GP} - V_{TH}}{I_{DR}} + C_{GD} \times \frac{V_{DS-t_0}}{I_{DR}} \quad (2)$$

式中, V_{DS-t_0} 即 t_0 时刻的 V_{DS} 。 t_d 和 t_r 一同决定了 Q_1 管的启动延时。

2.2 存在的问题及原因分析

对于图 3, $V_{DR} = V_{DS-t_0} = V_{IN}$ 。先考虑不接 C_1 , 假设 $C_m = 100 \mu F$, $V_{IN} = 28 V$, $V_{GP} = 4 V$, $C_{GD} = 50 pF$ 。若浪涌电流需小于 $1 A$, 根据电容电流公式 I_C

$=CdU_C/dt$, 可得 $t_r \approx 2.8 \text{ ms}$ 。式(2)中, 第一项在整个公式中所占的比例较小, 可以忽略, 估算可得 $I_{DR} = 0.5 \mu\text{A}$ 。再由式(1)可得, R_1 (对应图4中的 R_{DR}) $= 48 \text{ M}\Omega$ 。若选用阻值如此大的电阻, 图3中 D_{Z1} 管的稳压效果会很差, 并且在高低温环境时可能出现不稳压的情况, 甚至出现 $V_{GS} = 0 \text{ V}$, 电路无法启动。

从2.1节的分析可知, $(t_2 \rightarrow t_3)$ 时段内, 由于 C_{GD} 两端电压变化剧烈, 迅速将 I_{DR} 抽走, 将其等效到 G-S 端看, 即 C_{GD} 容量剧烈变大且远远大于 C_{GS} 。因此将大部分 I_{DR} 分流, 导致 V_{GS} 呈现“平台”。

为此, 在图3中 G-S 两端并联电容 C_1 分流, 以减小 R_1 。为尽量分流, C_1 势必很大 (通常为 $1 \mu\text{F}$ 以上), 则全时段 $(t_0 \rightarrow t_4)$ 内 V_{GS} 按时间常数 $R_1 C_1$ 缓慢充电。启动延时可达几十至数百毫秒, 且不能抑制重复快速上电浪涌。

3 电路设计与仿真分析

根据上述分析, 确定设计思路: 1) I_{DR} 应恒流, 利于控制且可调; 2) 设法缩短 $(t_0 \rightarrow t_2)$ 时段, 减小启动延时; 3) 设置 I_{DR} 分流路径, 使其在 $(t_2 \rightarrow t_3)$ 时段内被分流, 以延长“密勒平台”; 4) 控制 G-S 两端电容不能过大且能够被放电, 以实现重复快速浪涌抑制。

3.1 线路设计

本文设计的电路如图6所示, 各部分组成结构和功能原理如下所述。

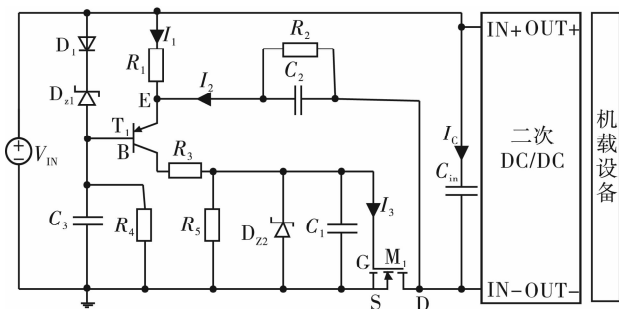


图6 本文设计的电路图

恒流驱动由二极管 D_1 、稳压管 D_{Z1} 、PNP 管 T_1 和电阻 R_1 组成。恒定驱动电流 I_1 为:

$$I_1 = \frac{V_{D1} + V_{DZ1} - V_{EB}}{R_1} \quad (3)$$

式中, V_{D1} 为 D_1 管的导通压降, V_{DZ1} 为 D_{Z1} 管的稳压值, V_{EB} 为 T_1 管的 E-B 结电压。

电容 C_1 与 C_2 构成了 $(t_2 \rightarrow t_3)$ 时段内 I_1 的分流路径, 主要以 C_2 为主。放电路径中, 电阻 R_5 为 C_1 放电, R_2 为 C_2 放电。

稳压管 D_{Z2} 对 V_{GS} 进行电压箝位保护。 R_4 对 D_{Z1} 管限流。 D_1 管对 D_{Z1} 管进行温度补偿。

t_0 时刻, V_{IN} 上电, dV_{DS}/dt 对 C_2 充电形成 I_2 , 并经 $T_1 \rightarrow R_3 \rightarrow C_1$ 将 V_{GS} 拉高; M_1 管内部的 C_{GD} 同样被充电; V_{DS} 快速建立后, I_2 随之衰减为零。 I_1 流经 $T_1 \rightarrow R_3$ 向 C_1 充电, 当 $V_{GS} = V_{GP}$ 时, V_{DS} 开始下降, I_1 被 $C_2 \rightarrow D-S$ 分流, 仅有极小的 I_3 流入 C_{GD} 。因此 $(t_2 \rightarrow t_3)$ 时段被延长, 使 V_{DS} 缓慢下降, 即 V_{Cm} 缓慢上升, 浪涌电流 I_C 被抑制。

调节 R_1 即可控制 I_1 。 I_1 的大小需适中, 若太大, 启动延时短, 但抑制效果差; 若太小, V_{GS} 爬升缓慢且可能处于较低电平的不稳定状态。本文选取 $V_{DZ1} = 6.2 \text{ V}$ 的稳压管, $R_1 = 62 \text{ k}\Omega$, 则 $I_1 \approx 100 \mu\text{A}$ 。

C_1 、 C_2 也是电路设计的关键参数。若 C_1 太小, 则上电时 dV_{DS}/dt 形成的 I_2 流入 C_1 并瞬间将 V_{GS} 拉高, M_1 管开通, 抑制失败。 I_2 可通过 R_3 限流和 C_3 (其取值需考虑开机瞬间 D_{Z1} 、 D_1 和 T_1 管的功耗, 可在 D_{Z1} - D_1 两端并联电容) 分流进行限制。当然, 大小合适的 I_2 可缩短 $(t_0 \rightarrow t_1)$ 时段。若 C_1 太大, 则开通延时变长。若 C_2 太小, 则对 I_1 分流少, $(t_2 \rightarrow t_3)$ 时段太短, 抑制效果差。若 C_2 太大, 则 I_2 也大, 同样存在瞬间将 V_{GS} 拉高使 M_1 管开通而导致抑制失败的问题。

综合考虑, 本文取 $C_1 = 0.1 \mu\text{F}$, $C_2 = 0.022 \mu\text{F}$, $C_3 = 0.01 \mu\text{F}$, $R_2 = R_5 = 2 \text{ M}\Omega$, $R_3 = 5.1 \text{ k}\Omega$ 。

3.2 对比仿真分析

设 $V_{IN} = 28 \text{ V}$, 其上升时间为 0.1 ms , $C_{in} = 600 \mu\text{F}$, 按上述参数取值进行仿真, 结果如图7所示。 V_{GS} 在 V_{IN} 上电瞬间被拉高至 1 V 左右, 但远低于 V_{TH} , 缩短了 $(t_0 \rightarrow t_1)$ 时段, 说明 I_1 的设计合理。 V_{GS} 线性上升至 V_{GP} 并维持约 6.2 ms , 期间 V_{DS} 线性下降, 最大浪涌电流 $I_{Cmax} \approx 3 \text{ A}$, 启动延时仅约 9 ms 。仿真结果与上述原理分析相符。

同等条件下, 对图3所示的常规电路进行仿真。当 $R_1 = 160 \text{ k}\Omega$ 、 $C_1 = 10 \mu\text{F}$ 时, 可实现相同大小的 I_C 抑制, 但启动延时接近 190 ms , 如图8所示。

本文取 $C_1 = 0.1 \mu\text{F}$, 而常规 $C_1 = 10 \mu\text{F}$, 可预见本文设计能够抑制重复浪涌。假设 $V_{IN} = 28 \text{ V}$, 上

升时间 $t_r = 1 \text{ ms}$, 下降时间 $t_f = 10 \text{ ms}$, 上电频率 $f = 1 \text{ Hz}$, 占空比为 50%, 对比仿真结果如图 9 所示。

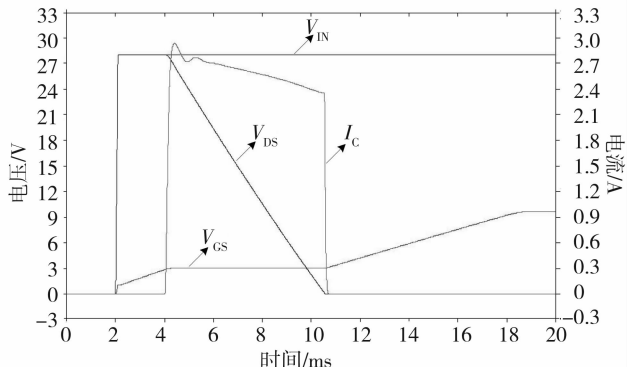


图 7 本文电路的仿真结果

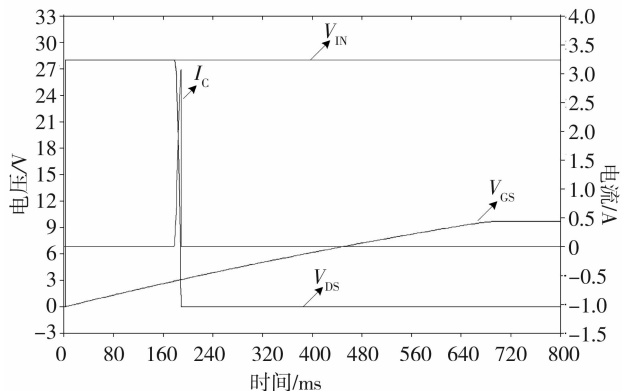


图 8 常规电路的仿真结果

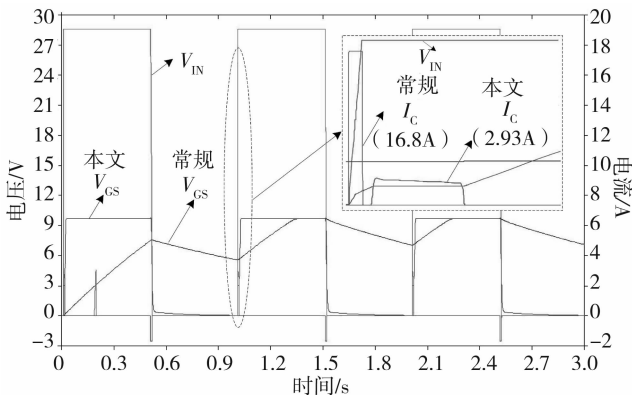


图 9 重复浪涌对比的仿真结果

图 9 中, 常规电路只能在第 1 次上电时实现抑制, 后续上电均抑制失败。这是因为 V_{GS} 一直为高, 使得 MOS 管持续导通。而本文电路能够将 V_{GS} 完全放电, 使得每个周期的浪涌均能被抑制。

3.3 其他设计考虑

MOS 管选型: 在 $(t_1 \rightarrow t_3)$ 时段内, V_{DS} 和 I_{DS} 交叠导致明显的开关损耗, 应根据 V_{INmax} 、 I_{Cmax} 和 t_{max} , 在满足 MOS 管安全工作曲线 (SOA) 的条件下按高温降额进行选型。图 9 中, 当 V_{IN} 掉电时, M_1 管关断,

但其体二极管仍然导通, C_{in} 反向放电。掉电越快, 放电电流越大, 且当 V_{IN} 短路时, 这种情况更加明显。因此需考虑体二极管的过流能力或并联肖特基二极管。多个 MOS 管并联时可能因开关特性差异导致 V_{GS} 振荡, 进而导致 V_{DS} 振荡, 应尽可能使用单个功率 MOS 管。

I_1 由 (3) 式决定, 最好大于 $100 \mu\text{A}$ 。除合理选取 R_1 外, 应在高低温和 V_{INmin} 条件下调试选取 R_1 和 V_{DZ1} , 以保证此时 $V_{DS} \approx 0 \text{ V}$, 即 M_1 管完全导通。

分时上电和软启动: 系统设计应考虑上电时序, 待开机浪涌完成后重新启动 DC/DC, 避免电容浪涌电流和 DC/DC 启动电流重叠, 从而增大 M_1 管的功耗。DC/DC 最好具有输入欠压保护和软启动功能, 待 V_{IN} 上升到一定幅值时, DC/DC 才开始工作, 并由软启动限制电流冲击。

4 测试验证

在 $V_{IN} = 28 \text{ V}$ ($t_r = 1 \text{ ms}$)、 $C_{in} = 600 \mu\text{F}$ 的条件下, 对样机进行单次上电测试, 波形如图 10 所示。在 $V_{IN} = 28 \text{ V}$ ($t_r = t_f = 1 \text{ ms}$)、重复频率为 45 Hz, 占空比为 50% 的条件下, 重复上电测试, 波形如图 11 所示。

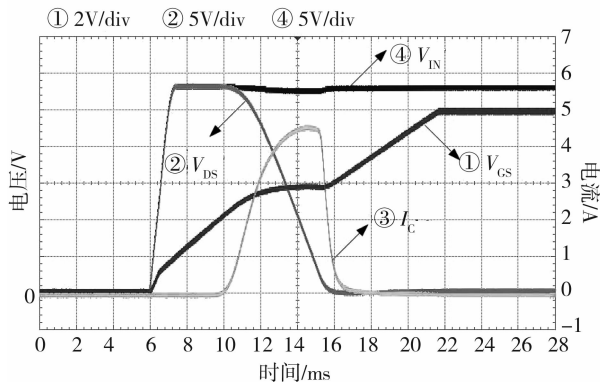


图 10 本文电路的单次上电浪涌抑制波形

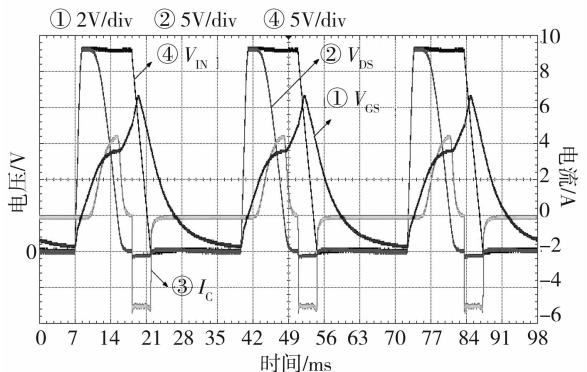


图 11 本文电路的重复上电浪涌抑制波形

由图10可以看出,电路启动延时约为10 ms, I_C 约为4.6 A,与仿真值稍有差异。这是由MOS管参数差异所导致,属于正常偏离。 V_{GS} 、 V_{DS} 和 I_C 的波形与仿真分析相符。

由图11可以看出,每个浪涌周期 I_C 都被抑制到约4.6 A, V_{GS} 均能被放电复位。仿真结果表明,本文电路能抑制的重复浪涌频率最高约为60 Hz。

5 结 论

本文针对机载电源浪涌电流问题,分析了常规抑制方法的优缺点,并提出了设计方案:基于MOS管密勒效应,控制流入 C_{GD} 的电流 I_{GD} 以延长“密勒平台”,使得 V_{DS} 缓慢下降,从而实现抑制。实测结果表明,电路具有启动延时短、可抑制重复开机浪涌等优点。

国外LINEAR、TI等公司已开发出浪涌抑制集成IC,如LTC4364,可同时实现浪涌电压和浪涌电流抑制^[7]。GJB181A规定28 V供电系统的浪涌电压最高为50 V,多数DC/DC能够承受,无需专门抑制,但需通过“等效输入电容试验”,即浪涌电流测试。本文电路采用常规元器件,实现了与进口IC等

同的抑制效果,且无常规抑制方法的缺点。本文电路可替代进口IC,有利于提高国产化水平,适用于机载或有抗辐射要求的星载二次DC/DC中。

参 考 文 献:

- [1] GJB151A-97. 军用设备和分系统电磁发射和敏感度要求[S]. 北京:总装备部军标出版发行部,1997.
 - [2] 胡翔骏. 电路分析[M]. 北京:高等教育出版社,2001:336-347.
 - [3] 任小永. 高效率大功率密度通信模块电源技术的研究[D]. 南京:南京航空航天大学,2008:56-60.
 - [4] 童诗白,华成英. 模拟电子技术基础[M]. 北京:高等教育出版社,2006:535-536.
 - [5] BALOGH L. Design and application guide for high speed MOSFET gate drive circuits [EB/OL]. <http://www.ti.com>,2001.
 - [6] PRESSMAN A I. 开关电源设计[M]. 王志强,肖文勋,虞龙,译. 北京:电子工业出版社,2010:294-299.
 - [7] Linear Inc. Component datasheet-LTC3824 high voltage step-down controller [EB/OL]. <http://www.linear.com>,2006.
-
- (上接第210页)
- [5] TPS92314 datasheet [EB/OL]. <http://www.ti.com/cn/cn/lit/ds/symlink/tps92314.pdf>.
 - [6] 高旭. 高功率因数原边反馈反激LED驱动电源研究[D]. 成都:西南交通大学,2015.
 - [7] 湛敏飞. 一种原边控制的离线式小功率反激式LED照明驱动系统的设计[D]. 上海:复旦大学,2014.
 - [8] CHOU H H, HWANG Y S, CHEN J J. An adaptive output current estimation circuit for a primary-side controlled LED driver [J]. IEEE Trans Power Elec, 2013, 28(10): 4811-4819.
 - [9] SUN L, CHEN S, WU X B, et al. The circuit with valley switching technique [C] // IEEE EDSSC. Tainan, China. 2007: 941-943.
 - [10] HSIEH P C, CHANG C J, CHEN C L. A primary side control quasi-resonant flyback converter with tight output voltage regulation and self-calibrated valley switching [C] // IEEE ECCE. Denver, CO, USA. 2013: 3406-3412.