

一种无运放的高电源抑制比基准电压源设计

姬 晶, 刘树林

(西安科技大学 电气与控制工程学院, 西安 710054)

摘 要: 设计了一种基准电压源电路。在分析传统带隙基准结构的基础上, 该电路不采用运放结构, 避免了运放失调电压对基准源的影响, 并加入内部正、负反馈回路, 对基准绝对数值进行补偿。仿真结果表明, 当温度在 $-40\text{ }^{\circ}\text{C} \sim 140\text{ }^{\circ}\text{C}$ 之间变化时, 该电路输出电压的温度系数小于 $1.622 \times 10^{-5}/^{\circ}\text{C}$, 电源抑制比高达 98 dB, 符合设计要求。

关键词: 基准电压源; 反馈回路; 电源抑制比; 启动电路

中图分类号: TN431

文献标识码: A

文章编号: 1004-3365(2014)05-0610-05

Design of a High PSRR Voltage Reference Source Without Operational Amplifier

Ji Jing, Liu Shulin

(School of Electrical and Control Engineering, Xi'an University of Science & Technology, Xi'an 710054, P. R. China)

Abstract: A reference voltage source circuit was designed. Based on the analysis of traditional band-gap reference structure, the operational amplifier structure was not used to avoid the effect of offset voltage. To compensate for the absolute value of reference, internal positive and negative feedback loops were added. Simulation results showed that at the temperature varying from $-40\text{ }^{\circ}\text{C}$ to $140\text{ }^{\circ}\text{C}$, the temperature coefficient of output voltage was less than $1.622 \times 10^{-5}/^{\circ}\text{C}$, and the power supply rejection ratio was up to 98 dB. The circuit meets the design specification.

Key words: Reference voltage source; Feedback loop; Power supply rejection ratio; Starting circuit

1 引 言

电压基准源是模拟集成电路中常见的组成模块, 其精度和稳定性直接影响整个电路系统, 被广泛应用于需要高精度的参考电位的电路中。任何电压基准源的输出都是一个稳定的电压, 在输出点上, 该点的电位应该不受外界参数变化的影响(最常见的就是温度变化和电源电压的波动)。因此, 如何通过电路设计来抑制这些外界因素的作用, 便是基准源设计中最重要的工作。

由于带隙基准电压源能够实现高电源抑制比(PSRR)和低温度系数, 这种电路结构是目前各种基准电压源电路中性能最佳的电路形式。传统的带隙

基准电压源可分为有运放和无运放结构。采用运算放大器的带隙基准源通过选取适当的电阻阻值和发射极面积比值, 就可得到与温度无关的输出电压, 但缺点是电路比较复杂, 且基准源的性能在很大程度上受到运放性能(特别是运放的输入失调电压和电源电压抑制比)的影响^[1]。无运放的基准电压源, 例如三管能隙基准源, 它的输出电压受负载和驱动电流影响较大, 而且输出电压在 1.25 V 左右固定不变, 不能输出通常需要的标准电压值, 例如 2.5 V, 5 V 等^[2]。

为了让基准电压源在较宽的范围内具有良好的电源抑制比。国内外研究者通常使用运算放大器来提高电源抑制比。在文献[3]中, 使用运算放大器结构的带隙基准电压源技术, 在直流频率时的电源抑

收稿日期: 2013-08-08; 定稿日期: 2013-09-24

基金项目: 国家自然科学基金资助项目(50977077, 51277149)

作者简介: 姬 晶(1988—), 女(汉族), 西安人, 硕士研究生, 研究方向为模拟集成电路设计。

刘树林(1964—), 男(汉族), 成都人, 博士, 教授, 博士生导师, 研究方向为集成电路设计。

制比可达 110 dB,在 1 MHz 的电源抑制比可达 70 dB。但是,由于运算放大器对基准电压源输出电压的产生没有直接贡献,那么使用运放来提高电源抑制比反而增加了电路的复杂度和功耗。在文献[4]中,采用了无运算放大器负反馈结构的带隙基准电压源,在 1 kHz 时的电源抑制比为 95 dB,在 1 MHz 时的电源抑制比为 40 dB。

经过以上分析,在传统带隙基准原理基础上,设计了一种采用双极工艺、电路结构简单的基准电压源。采用无运放结构,避免了运放失调电压对基准电压源的影响,并且加入启动电路和内部反馈环路,提高了 V_{REF} 的电源抑制比。

2 传统有运放带隙基准电压源

2.1 基本结构及原理

双极型晶体管(BJT)具有以下两种特性:1) 两个具有不同电流密度的双极型晶体管的基极-发射极电压的差值 ΔV_{BE} 具有正温度系数;2) 双极型晶体管的基极-发射极电压 V_{BE} 具有负的温度系数。若能将这两种电压以一定的权重进行相加,选择合适的系数 M ,使两个电压的温度漂移相互抵消,从而可以得到在某一温度下为零温度系数的电压基准^[5]:

$$V_{REF} = M \cdot \Delta V_{BE} + V_{BE} \quad (1)$$

图 1 所示为带运放的带隙基准电压源,该基准电压源由三极管 Q_1, Q_2 , 电阻 R_1, R_2, R_3 及运放 A_1 构成。运放和电阻反馈网络使电路处于深度负反馈状态,保证 A_1 两个输入端虚短,即 $V_A = V_B$ 。

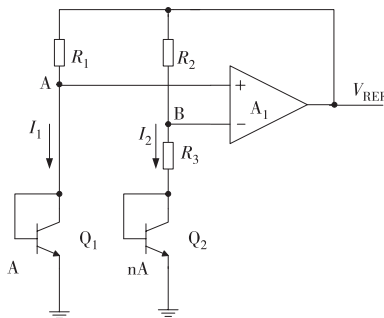


图 1 带隙基准电压原理图

由文献[6]可知,输出的基准电压为:

$$V_{REF} = V_{BE2} + (R_2 + R_3) I_2 = V_{BE2} + (R_2 + R_3) \times \frac{KT \ln N}{qR_3} \quad (2)$$

式中, V_{BE1}, V_{BE2} 分别为 Q_1, Q_2 的基-射极电压;

K 为波尔兹曼常数; q 为单位电荷量。通过选择合适的 R_2, R_3 , 即可获得零温度系数电压。

2.2 运放对基准电压源的影响

运放的失调电压会影响基准源的精度。失调电压主要是由于晶体管之间的不匹配、运放输入级晶体管预置电压不匹配、运放增益有限引起的^[7], 若考虑失调电压, (2) 式变为:

$$V_{REF} = V_{BE2} + (R_2 + R_3) \times \frac{(\Delta V_{BE} - V_{OS})}{R_3} = V_{BE2} + \frac{R_2 + R_3}{R_3} \times \left(\frac{KT}{q} \times \ln N - V_{OS} \right) \quad (3)$$

(3) 式中, 基准电压源的输出 V_{REF} 与运放的失调电压有直接关系, 失调电压被放大 $(R_2 + R_3)/R_3$ 倍, V_{REF} 中引入了明显的误差。更重要的是 V_{OS} 本身会随温度变化, 增大了输出电压的温度系数。

运放的放大增益也会影响带隙基准的电压抑制比。一般情况下假定运算放大器是一个理想的放大器, 其增益为无穷大, 但在实际电路设计中, 运放的增益不能无穷大, 其实际增益也会对基准电压产生影响。增益越大, 输出电压变化就越小, 电源电压抑制比越高。基准源输出电压的电源电压抑制比完全受限于运算放大器的电源电压抑制比的大小。并且当电源电压有频率较高的交流信号干扰时, 放大器的输出会与电源电压有很明显的相位差, 导致 V_{REF} 高频时电源抑制比很低。

3 无运放基准电压源电路

3.1 基准电压源具体电路及原理

基于以上分析可知, 传统基准电压源电路性能指标的进一步提高受到运放性能指标的很大限制。所以本文设计了一款双极型的无运放基准电压源, 避免了运放对电路性能的影响。该电路由启动电路, 基准电压源核心电路、正负反馈回路三大部分组成。

3.1.1 基准电压源电路

基准电压源电路的具体结构如图 2 所示。 $R_1, R_2, R_3, R_4, Q_2, Q_3$ 组成了基准电压源核心电路, Q_2, Q_3 的发射极面积比为 N 。

$Q_{10} \sim Q_{15}$ 组成串接镜像电流镜, 由两个基本电流镜串接在一起组成, 作为有源负载。晶体管 Q_{13}, Q_{15} 分别传输 Q_{12}, Q_{14} 的集电极电流至输出端, 并呈现一个很高的输出电阻。

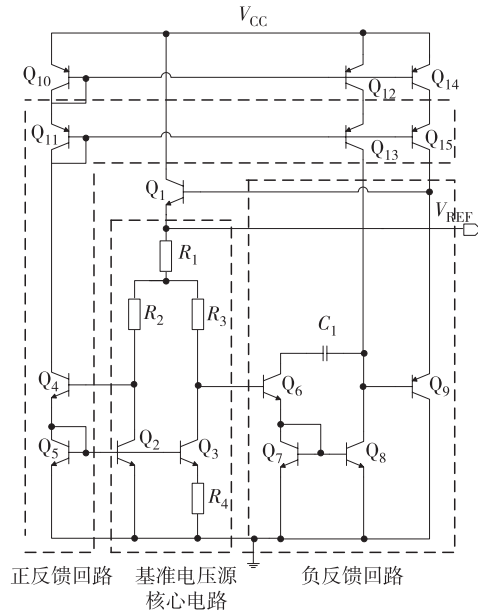


图2 基准电压源电路

由:

$$V_{BE2} = V_{BE3} + R_4 I_{Q3} \quad (4)$$

可知, Q_2, Q_3 发射结电压之差在电阻 R_4 上产生 PTAT 电流 I_{Q3} , 其表达式为:

$$I_{Q3} = \frac{V_{BE2} - V_{BE3}}{R_4} = \frac{\Delta V_{BE}}{R_4} \quad (5)$$

根据双极器件 PN 结上电流与电压的关系^[8]:

$$I = I_S (e^{V_{BE}/V_T} - 1) \quad (6)$$

当 $V_{BE} \geq V_T$ 时, $I = I_S e^{V_{BE}/V_T}$, 得到:

$$V_{BE} = V_T \ln \frac{I}{I_S} \quad (7)$$

因此三极管 Q_2 和 Q_3 的基极-发射极电压差 ΔV_{BE} 为:

$$\Delta V_{BE} = V_{BE2} - V_{BE3} = V_T \ln \frac{I_{Q2}}{I_S} - V_T \ln \frac{I_{Q3}}{I_S} = V_T \ln N \quad (8)$$

Q_4, Q_6 的发射极分别通过 Q_5, Q_7 的 BE 结接地, 所以 Q_4, Q_6 的发射极电位相同, 进而 Q_4, Q_6 的基极电位相同, 所以流过 R_2, R_3 的电流相等。忽略 Q_4, Q_6 的基极电流, 流过 R_2, R_3 的电流约等于 I_{Q3} 。 I_{Q3} 在电阻 R_1, R_3 上产生了具有正温度系数的电压, 加上具有负温度系数的 Q_6, Q_7 的发射结电压就产生了 V_{REF} :

$$V_{REF} = R_3 I_{Q3} + 2R_1 I_{Q3} + V_{BE6} + V_{BE7} \quad (9)$$

由(4)~(9)式得:

$$V_{REF} = \frac{(R_3 + 2R_1)}{R_4} \times V_T \ln N + 2V_{BE} \quad (10)$$

3.1.2 反馈回路分析

该基准电压源电路的一个主要特点是模仿运放

的结构, 在电路中加入正、负反馈两路反馈回路进行调节, 提高基准电压源的电源抑制比。但是没有使用运放, 避免了运放失调电压对电路性能的影响, 简化了电路。其中正反馈回路由 R_2, Q_4, Q_{11}, Q_{15} 组成, 负反馈回路由 R_3, Q_6, Q_7, Q_8, Q_9 组成。

正反馈回路的主要作用是加速启动阶段 V_{REF} 的建立, 其反馈过程为:

$$\begin{aligned} V_{CC} \uparrow &\rightarrow I_{R1} (I_{E1}) \uparrow \rightarrow I_{R2} \uparrow \rightarrow I_{B4} \uparrow \rightarrow I_{C4} \uparrow \\ &\uparrow \\ &I_{B1} \uparrow \leftarrow I_{C15} \uparrow \leftarrow V_{B15} \downarrow \leftarrow V_{C4} \downarrow \end{aligned}$$

电路刚开始工作阶段, 随着电源电压的增加, 流过 R_1, R_2 的电流增加, 由节点电流法可知流过 Q_4 的电流也增加, 拉低了 Q_{11}, Q_{15} 的基极电位。由公式 $I = I_S e^{V_{BE}/V_T}$ 可知, 流过 Q_{15} 的电流增大, 使 Q_1 基极电流增加, 进一步增大了流过 R_1 的电流, 输出电压升高, V_{REF} 快速达到 2.5 V, 减小了启动时间。

芯片工作期间, 为了保证稳定性和一致性, 要求基准电压源对电源电压的变化不敏感。因此, 要设计高电压抑制比的电压基准源以满足系统性能。电压基准源的高频电压抑制比可以通过添加滤波电容来改善^[9], 在本基准电压源中加入了补偿电容 C_1 来提高电源抑制比。低频电压抑制比主要与电压基准源的电路设计有关。当基准电压由于电源或者其他噪声干扰而产生波动导致 V_{REF} 升高时, 流过 R_1, R_3 的电流增加, 由节点电流法可知流过 Q_6, Q_8 的电流也增加。因为 Q_8 的集电极电压等于 Q_9 的基极电压, 所以随着 Q_8 的集电极电压和 Q_9 的基极电压的减小, I_{C9} 增大。 I_{C9} 分流 I_{C15} 的集电极电流增多, 导致 Q_1 基极和发射极电流减小, 使得输出 V_{REF} 减小, 形成深度负反馈, 使输出电压与电源电压无关。具体的负反馈过程为:

$$\begin{aligned} V_{REF} \uparrow &\rightarrow I_{R1} (I_{E1}) \uparrow \rightarrow I_{R3} \uparrow \rightarrow I_{B6} \uparrow \rightarrow I_{E6} \uparrow \rightarrow I_{B8} \uparrow \\ &\downarrow \\ V_{REF} \downarrow &\leftarrow I_{R1} (I_{E1}) \downarrow \leftarrow I_{B1} \downarrow \leftarrow I_{C9} \uparrow \leftarrow V_{C8} \downarrow \leftarrow I_{C8} \uparrow \end{aligned}$$

为了确保电路的稳定, 电路的负反馈系数一定要大于正反馈系数, 以确保电路总的反馈是负反馈。

3.1.3 启动电路设计

由于基准电压源存在两个电路平衡点: 零点和正常工作点。当基准电压源工作在零点时, Q_4 和 Q_6 的基极电压为零, 基准源没有电流产生。加入启动电路的目的是为了避免基准源工作在零点上, 使核心电路正常工作^[10]。启动电路结构如图3所示。

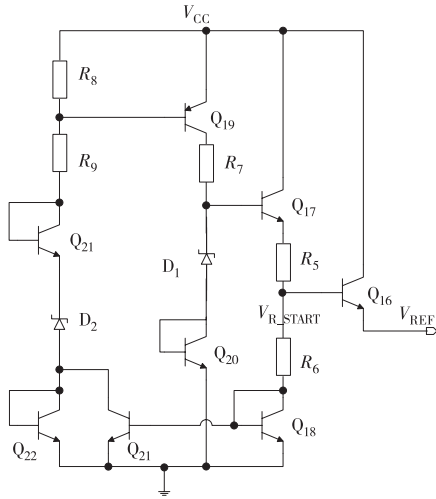


图 3 启动电路

启动电路工作原理是: D_1 与 D_2 是齐纳二极管, 其阈值电压为 5.7 V, 加上 Q_{22} 的 BE 结压降 0.7 V, D_2 正向端的电位为 6.4 V, 当初始电源电压低于 6.4 V 时, D_2 没有电流流过, 当电源电压逐渐升高至超过 6.4 V, D_2 导通, R_8 和 R_9 分压, R_8 的分压随着 V_{CC} 升高而增大, Q_{19} 的基极点位为 $V_{BE19} = V_{CC} - V_{R8}$ 。当 V_{CC} 超过 8 V, Q_{19} 的 EB 结正偏, 有电流流过 Q_{19} , 流过 Q_{19} 的电流输入到 Q_{17} 的基极, 促使 Q_{16} , Q_{17} 导通, 启动电路有电流输出。根据 Q_{17} , Q_{18} 的 BE 结压降和 R_6 上的分压可知:

$$V_{R_START} = V_{R6} + V_{BE18} \quad (11)$$

又因为:

$$V_{R6} = \frac{V_{BE20} + V_{D1} - V_{BE17} - V_{BE18}}{R_5 + R_6} \times R_6 \quad (12)$$

将(12)式带入(11)式可以求出 V_{R_START} 的输出电压为 2.3 V。 Q_{16} 为隔离管, 当基准电压源正常工作后, V_{REF} 输出 2.5 V 电压, Q_{16} 的 BE 结不能正偏, 启动电路停止给基准电压源提供电流, 启动过程结束。

3.2 基准电压源核心电路器件参数设计

确定了电路结构之后, 就要对电路的参数进行设定, 从电路的功耗、版图面积、匹配等方面综合考虑设定电路的参数。首先, 应该设定三极管 Q_3 和 Q_2 的发射极面积比 N , 如果 N 取得太小, 则电阻 $(R_3 + 2R_1)/R_4$ 的比值就会比较大, 那么电阻占用的芯片面积就会太大; 如果 N 取得太大, 则三极管占用芯片的面积就会太大, 经过折中后取 $N=10$ 。其次, 确定合适的三极管模型。三极管的电流放大倍数 β 随发射极面积的增大而变大, 电流放大倍数 β 越大, 基区等效串联电阻对 V_{BE} 的影响越小, 而且发射极的面积越大, 三极管 Q_2 和 Q_3 的匹配性也越

好。综合考虑了非理想效应和匹配性后, 设计时选择发射极面积为 $(5 \times 5) \mu\text{m}^2$, 即 5×5 BJT 模型。根据三极管的 V/I 直流仿真, 可知当流过三极管的电流大于 $23.8 \mu\text{A}$ 的时候, V_{BE} 的输出曲线较为平滑, 考虑到功耗和版图面积的要求, 取 $I_{Q3} = 24 \mu\text{A}$, 在 $T=300 \text{ K}$, $N=10$ 时, 可以算出电阻 R_4 的值为:

$$R_4 = \frac{V_T \ln N}{I_{Q3}} = \frac{0.026 \times \ln 10}{2.4 \times 10^{-6}} = 2.5 \text{ k}\Omega \quad (13)$$

对(10)式两边对温度 T 取偏导数:

$$\frac{\partial V_{REF}}{\partial T} = \frac{(R_3 + 2R_1)}{R_4} \times \frac{\partial V_T}{\partial T} \ln N + 2 \frac{\partial V_{BE}}{\partial T} \quad (14)$$

室温下, $\partial V_T / \partial T \approx +0.086 \text{ mV}/^\circ\text{C}$, 在 CSMC 0.5 μm 工艺库中, $\partial V_{BE} / \partial T \approx -1.8 \text{ mV}/^\circ\text{C}$ 。为了使输出基准电压温度系数为零, 即 $\partial V_{REF} / \partial T = 0$, 则有:

$$\frac{(R_3 + 2R_1)}{R_4} \times 0.086 \ln N = 2 \times 1.8 \quad (15)$$

前面得到了 $N=10$, $R_4=2.5 \text{ k}\Omega$, 代入(15)式, 得到:

$$R_3 + 2R_1 = \frac{2 \times 1.8 \times 2500}{0.086 \times \ln 10} = 45.5 \text{ k}\Omega \quad (16)$$

由以上分析和(10)式可知:

$$V_{REF} = 18.2 V_T \ln N + 2V_{BE} \approx 2.5 \text{ V} \quad (17)$$

在本电路设计中, 电阻的阻值比较大, 为了降低芯片面积, 采用方块电阻比较大的多晶电阻。多晶电阻寄生电容小, 具有比较高的线性度, 匹配度好, 一般用来做高精度电阻, 更主要是因为多晶电阻的温度系数较小。在基准电路中, 所有电阻都是匹配电阻, 设计时选择同一种类型的电阻, 这样就可以利用电阻的相对精度, 而不是绝对精度, 电阻的温度系数对整个带隙的影响就可以降到最低。

综上分析, 基准电压源核心电路的器件参数如表 1 所示。

表 1 电压基准源核心电路器件参数

器件	类型	数值
R_1	多晶电阻	7.75 k Ω
R_2, R_3	多晶电阻	30 k Ω
R_4	多晶电阻	2.5 k Ω
Q_2	NPN	5 \times 5 BJT, $M=1$
Q_3	NPN	5 \times 5 BJT, $M=10$

4 仿真测试

4.1 仿真结果

采用 CSMC 0.5 μm 双极工艺库, 用 Spectre 软

件对电源电压从 3~20 V 进行扫描,仿真结果如图 4 所示。可以看出,基准电压基本平稳,在电源电压从 8 V 变化到 20 V 时, V_{REF} 的输出基本保持在 2.5 V,具有较高的电压稳定度。

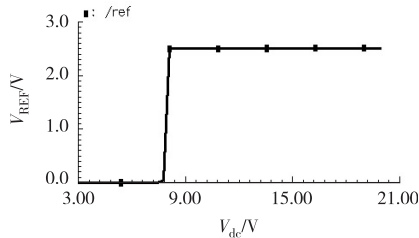


图 4 基准电压曲线

电源电压上电延时为 $2 \mu s$,即在 $2 \mu s$ 后,上电到 8 V,对电路进行瞬态仿真,从图 5 可以看出,带隙基准电压在 $6.99 \mu s$ 后,输出保持恒定。因此,由于正反馈回路的引用,该基准电路的启动时间仅为 $4.99 \mu s$ 。

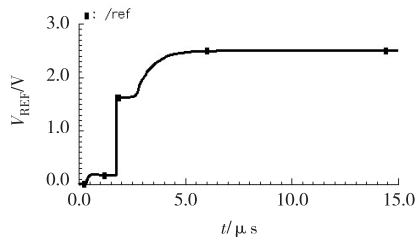


图 5 启动电路仿真曲线

温度系数表示由于环境温度变化引起的输出电压的漂移量,是衡量基准电压源的关键性技术指标。当温度从 $-40^\circ C$ 到 $140^\circ C$ 时,基准电压源的输出电压变化曲线如图 6 所示, $V_{min} = 2.4986 V$, $V_{max} = 2.5059 V$,可以计算电压基准源的温度系数 $TC^{[11]}$:

$$TC = \frac{1}{V_{REF}} \times \frac{V_{MAX} - V_{MIN}}{T_{MAX} - T_{MIN}} = \frac{2.5059 - 2.4986}{(140 + 40) \times 2.5} \approx 1.622 \times 10^{-5} / ^\circ C \quad (18)$$

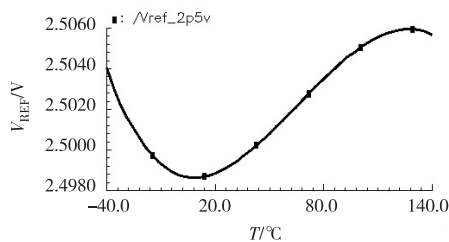


图 6 温度特性曲线

基准电压源的电源抑制比 PSRR 频率特性仿真结果如图 7 所示。由仿真结果可见,在室温下,频率小于 50 kHz 时,本文设计的基准电压源的电源抑制比为 98 dB 以上。

4.2 测试结果

测试电路如图 8 所示。

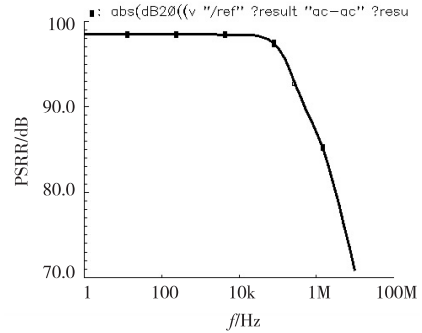


图 7 电源抑制比仿真曲线

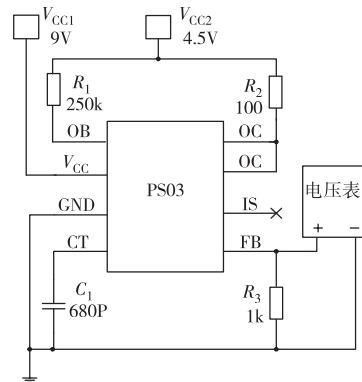


图 8 测试电路

根据芯片内部电路可知 V_{FB} 和 V_{REF} 的关系:

$$V_{FB} = 8 \times \frac{(R_a V_{REF} - V_{be})}{R_b} \times (R_c \parallel R_3) \quad (19)$$

其中, R_a, R_b, R_c 为芯片内部电阻,且 $R_3 \ll R_c$ 。所以,通过外部引脚 FB 的电压可以反映并计算出 V_{REF} 。如图 9 所示,当 V_{FB} 的输出电压为 616 mV 时,经过计算可知 V_{REF} 为 2.502 V。

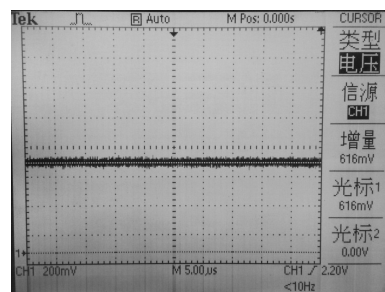


图 9 V_{FB} 输出波形

5 结 论

本文基于双极工艺,利用不同电流密度下两晶体管基极-发射极电压差的正温度特性,结合基极-发射极电压本身的负温度特性,引入内部反馈技术,设计了一个无运放的基准电压源,避免了运放失调电压对基准源的影响。经仿真分析表明,该电路在

(下转第 619 页)

参考文献:

- [1] 杨凯,王春华,戴普兴.一种3~5 GHz连续增益可调 CMOS超宽带LNA的设计[J].微电子学,2008,38(2):275-279.
- [2] 刘萌萌,张盛,王硕,等.一种CMOS超宽带LNA的优化设计方法[J].电子学报,2009,37(5):1082-1086.
- [3] 余之喜,苏凯雄,陈俊,等.北斗导航接收机LNA的设计和仿真[J].现代电子技术,2012,35(5):99-104.
- [4] 程知群,周苏萍,林隆乾,等.应用于北斗接收机的低噪声放大器设计[J].杭州电子学报,2012,32(1):18-21.
- [5] 池保勇,余志平,石秉学. CMOS射频集成电路分析与设计[M].北京:清华大学出版社,2006:196-228.
- [6] 刘刚,何笑明,陈涛.微电子器件与IC设计[M].北京:科学出版社,2006:255-258.
- [7] ZHANG Q, LI W Y, WANG Z G, et al. 2.4 GHz WLAN D-pHEMT LNA [C] // Int Conf Advan Techn Commun. Haiphong, Vietnam. 2009: 171-174.
- [8] SNUSI R, NORHAPIZIN K, ENCHE A R, et al. Scalable MIM capacitor polynomial equation model development with application in the design of 2.4 GHz PHEMT low noise amplifier [C] // Asia Pacific Microwave Conf. Singapore. 2009: 2518-2521.
- [9] KUMAR S, VICE M, MORKNER H, et al. Enhancement mode GaAs PHEMT LNA with linearity control (IP3) and phased matched mitigated bypass switch and differential active mixer [J]. IEEE MTT-S Int Microwave Symp. Philadelphia, PA, USA. 2003: 1577-1580.
- [10] CHOI B G, LEE Y S, PARK C S, et al. A low noise on-chip matched MMIC LNA of 0.76 dB noise figure at 5 GHz for high speed wireless LAN applications [C] // 22nd Annual GaAs IC Symp. Seattle, WA, USA. 2000: 143-146.

(上接第614页)

满足高电源抑制比(最高可达98 dB)的同时,也能具有较好的温度特性($1.622 \times 10^{-5} / ^\circ\text{C}$),适应现代集成电路的发展。

参考文献:

- [1] 梁爱梅,凌朝东.电流镜型二次曲率补偿的带隙基准源设计[J].华侨大学学报(自然科学版),2010,31(3):267-271.
- [2] 丁家平.高速高精度ADC中基准电压源的研究与设计[D].硕士学位论文.南京:东南大学,2006.
- [3] THAM K M, NAGARAJ K. A low supply voltage high PSRR voltage reference in CMOS process [J]. IEEE J Sol Sta Circ, 1995, 30(5): 586-590.
- [4] MEHRMANESH S, VAHIDFAR M, BASLANZADEH H A, et al. A 1-volt high PSRR CMOS bandgap voltage reference [C] // Proceed IEEE Int Symp Circ & Syst. Bangkok, Thailand. 2003, 1: I-381 - I-384.
- [5] RAZAVI B. 模拟 CMOS 集成电路设计 [M]. 陈贵灿,等,译.西安:西安交通大学出版社,2003:313-316.
- [6] 江金光,王耀南.高精度带隙基准电压源的实现[J].半导体学报,2004,25(7):852-857.
- [7] 黄晓敏,沈绪榜,邹雪城,等.一种高精度的 CMOS 带隙基准电压源[J].电子工程师,2004,30(3):13-14.
- [8] 朱正涌. 半导体集成电路 [M]. 第二版.北京:清华大学出版社,2009:241-243.
- [9] GRAY P R, MEYER R G. Analysis and design of analog integrated circuits [M]. New York: John Wiley, 2001: 314-317.
- [10] 朱樟明,杨银堂.一种高性能 CMOS 带隙电压基准源设计[J].半导体学报,2004,25(5):542-546.
- [11] GRAY P R, HURST P J, LEWIS S H, et al. 模拟集成电路的分析与设计 [M]. 第四版. 张晓林,等,译.北京:高等教育出版社,2012:301-306.