

一种自校准全数字 TDC 的设计

夏婷婷, 贺雅娟, 甄少伟, 甘武兵

(电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 610054)

摘要: 随着工艺技术的进步, 基于 CMOS 工艺的全数字时间数字转换器(TDC)受到了广泛关注, 在测量、测距、计量等领域得到了广泛应用。提出了一种具有自校准算法、结构简单、测量精度稳定的全数字 TDC 设计方案。可通过专用全数字集成电路设计流程进行快速设计并实现, 电路具有面积小、功耗低、成本低、可移植性强等优点。使用 Verilog HDL 语言进行 RTL 级描述, 运用 Design Compiler 进行综合, 产生门级网表, 通过 VCS 和 Hspice 进行仿真验证。应用自校准算法后, 与现有的 TDC 设计方法相比, 电路的 INL 得到了明显提高, 满足大量程、稳定精度的测量要求。

关键词: 时间数字转换器; 延迟链; 时间测量; CMOS

中图分类号: TN492

文献标识码: A

文章编号: 1004-3365(2014)05-0597-04

An All-Digital Time-to-Digital Converter with Self-Calibration

XIATingting, HE Yajuan, ZHEN Shaowei, GAN Wubing

(State Key Lab of Electronic Thin Films and Integr. Dev., Univ. of Electronic Science & Technology of China, Chengdu 610054, P. R. China)

Abstract: With the development of the CMOS process, more and more attention is paid to the design of all-digital TDC, and it is used in different fields widely. In consideration of the situation, an area saving, low power consumption, low cost and transplantable TDC is presented which can be achieved with the design flow of digital ASIC. In addition, it doesn't only perform self-calibration, but also features as simple architecture and stable measure precision. The RTL description is done by Verilog HDL firstly. Then, the gate-level netlist is synthesized by the DC followed with the VCS and Hspice simulation. Compared with the TDC available now, besides the INL is improved markedly, the TDC designed achieves wide dynamic range and stable measure precision after applied with the self-calibration method.

Key words: Time-to-digital converter; Time measurement; Delay chains; CMOS

1 引 言

时间数字转换器(Time-to-Digital Converter, TDC)是一个高精度时间间隔测量单元, 已广泛应用于军事侦查、航空航天、测量、测距、计量等领域^[1]。TDC 经历了从模拟、全数字到数模混合三个阶段^[2]。模拟 TDC 由于可移植性差, 易受温度、电压和外界噪声的影响, 工作不稳定, 不适合高精度大量

程的测量, 发展受到了限制。随着 CMOS 工艺的发展, 基于 CMOS 工艺的全数字 TDC 技术受到了广泛关注, 取得了巨大进步。使用高速的 CMOS 数字结构, 能实现高精度时间测量, 而且电路结构简单, 面积小, 功耗低, 成本低^[3-6]。全数字 TDC 测量原理是基于 CMOS 器件的延迟时间, 由于器件的延迟时间对电压、温度和工艺很敏感, 通常需要通过适当的控制和校准方法使器件延迟时间成为高精度时间间隔测量基准。本文设计的全数字 TDC 能在自校准

收稿日期: 2013-07-15; 定稿日期: 2013-08-26

基金项目: 国家自然科学基金资助项目(61274027)

作者简介: 夏婷婷(1989—), 女(汉族), 贵州遵义人, 硕士研究生, 主要从事数字集成电路研究设计。

贺雅娟(1978—), 女(汉族), 成都人, 副教授, 博士, 主要从事数字集成电路研究设计。

算法的保证下,使用 0.18 μm CMOS 标准单元库,通过专用全数字集成电路流程设计实现时间精度为 ps 量级的实测精度。全数字流程设计使得设计过程时间短、造价低、功耗低、可靠性高、可移植性强。

2 TDC 原理

如图 1 所示,TDC 的基本原理是在一段时间间隔内用一个时钟对其进行计数:

$$\Delta T = N T_{\text{CLK}} - \Delta T_{\text{start}} + \Delta T_{\text{stop}} \quad (1)$$

式中, ΔT 为测量时间间隔, T_{CLK} 为时钟周期, ΔT_{start} 和 ΔT_{stop} 分别为开始和结束的时间测量误差, N 为 ΔT 内计数器的计数值。时间到数字的转换误差为:

$$\epsilon = \Delta T_{\text{stop}} - \Delta T_{\text{start}} \quad (2)$$

由于 $\Delta T_{\text{start}} \in [0, T_{\text{CLK}}]$, $\Delta T_{\text{stop}} \in [0, T_{\text{CLK}}]$, 所以:

$$\epsilon \in [-T_{\text{CLK}}, T_{\text{CLK}}] \quad (3)$$

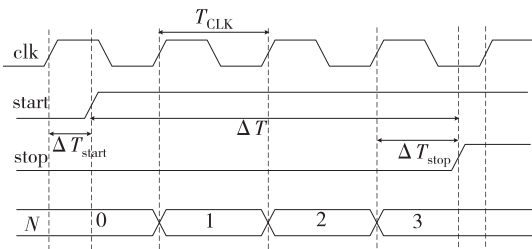


图 1 TDC 测量原理

在这种用计数器对时钟进行计数的方式中,精度受限于系统时钟周期,通常为 ns 量级,为了实现比时钟周期更高的时间测量精度,需要对时钟进行插值。本文使用缓冲器和数据选择器构成可调的延迟单元,实现比时钟周期更为精确的时间间隔测量。

3 整体电路设计

根据上述 TDC 设计原理,本文设计的 TDC 整体框图如图 2 所示,主要包括延迟链、锁存-编码器、校准、粗值计数器和数据处理五个模块。

从图 2 可以看出,设计采用粗值计数器与延迟链两级结构的时间数字转换电路。Clock 为外部输入时钟信号,粗值计数器直接对 Clock 信号计数,计时开始信号(Start)上升沿到来时计数开始,结束信号(Stop)上升沿到来时计数停止,并保持当前计数值。另外,让时钟信号通过由 N 个延迟单元构成的延迟链产生 N 个不同相位的时钟(多相位时钟产生)。锁存-编码器在 Start 信号到来时对各相

时钟进行一次采样,Stop 信号到来时再对各个相位时钟进行一次采样,将采样结果进行编码后得到图 1 所示的 ΔT_{start} 和 ΔT_{stop} 。数据处理模块将得到的 ΔT_{start} 和 ΔT_{stop} 进行简单处理后,与粗值计数器的计数结果一起构成整个时间间隔对应的数字值。校准模块的主要功能是保证延迟链的整个延迟时间刚好为外部输入时钟 Clock 周期,这样 Start 信号和 Stop 信号来临时就能准确采样各相位时钟,减小误差。

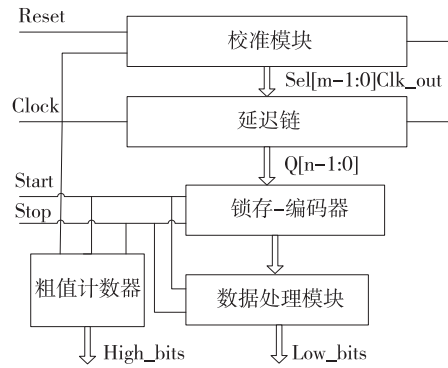
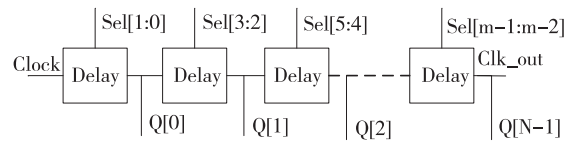


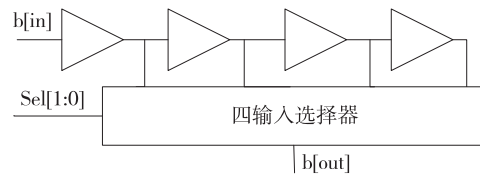
图 2 TDC 整体框图

3.1 延迟链

全数字 TDC 通常分为由缓冲器构成一条延迟链的延迟型 TDC,和由基本门构成两条延迟链的游标型 TDC^[2],但一条延迟链的延迟型 TDC 因器件延迟时间受电压、温度等影响比较大,所测量的时间间隔误差大,而两条延迟链构成的游标型 TDC 要求两条延迟链的匹配性、对称性很高才能保证稳定的时间间隔。本文提出的延迟链如图 3 所示。



(a) TDC 延迟链



(b) 延迟链中 Delay 单元内部结构

图 3 TDC 延迟链结构

延迟链由 N 个延迟单元(Delay)构成,每个 Delay 单元由一个四输入选择器和四个缓冲器组成。让外部输入时钟 Clock 通过延迟链产生 N 个不同相位的时钟,用以确定 ΔT_{start} 和 ΔT_{stop} ,每个 Delay 单元的延迟时间决定了 TDC 的测量精度。当器件延迟时间受电压、温度和工艺角等因素影响时,该结构中每个 Delay 单元的延迟时间能在四输

入选择器(即 Sel[1:0])的控制下实现步长为一个缓冲器的延迟时间的调节,并保证整个延迟链中的延迟时间为外部输入时钟 Clock 的周期。

3.2 校准算法

校准模块的主要功能是检测整个延迟链的延迟时间是否刚好为外部输入时钟 Clock 的周期(有效保证 TDC 的积分非线性(INL)),并根据检测结果控制计数-查找表输出合适的 Sel[m:0],从而对延迟链上延迟单元的延迟时间进行调节,其结构如图 4 所示,其中计数-查找表包含一个计数器和一个查找表,每个计数值对应一个 Sel[m:0]。

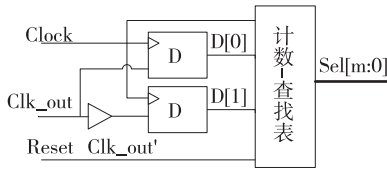


图 4 校准模块结构

计数值“加一”时,在延迟链的一个 Delay 单元上增加一个缓冲器作为输出,反之则相反。因此 TDC 延迟链上相邻两个 Delay 单元的延迟时间差为一个缓冲器的延迟时间,即一个缓冲器的延迟时间决定了 TDC 的差分非线性(DNL)。当 Reset 信号有效时,Sel[m:0]设定为一个合适的初始值(即计数-查找表中计数器的计数值为一个合适的初始值);当 Reset 信号无效时,延迟链的输出 Clk_out 和 Clk_out' 经过一个延迟缓冲器后的输出分别接到两个 D 触发器的 D 输入端,当外部输入时钟 Clock 上升沿来临时便可分别对它们进行检测。当检测结果 D[0]=1,D[1]=0 时,表明整个延迟链的延迟时间刚好为 Clock 的周期,Sel[m:0]不需要改变;当检测结果 D[0]=1,D[1]=1 时,表明整个延迟链的延迟时间超过 Clock 的周期,在 Clock 上升沿来临时计数-查找表中的计数器初值“减一”,根据计数值查找对应的 Sel[m:0]输出,直到检测结果为 D[0]=1,D[1]=0;当检测结果 D[0]=0,D[1]=0 时,表明整个延迟链的延迟时间小于 Clock 的周期,在 Clock 的上升沿来临时计数-查找表中的计数器初值“加一”,根据计数值查找对应的 Sel[m:0]输出,直到检测结果为 D[0]=1,D[1]=0。因此,可以保证整个延迟链(包括图 4 中的缓冲器)的延迟时间刚好为外部输入时钟 Clock 的周期。

3.3 锁存-编码器

锁存-编码器的结构如图 5 所示,它可采样外部输入时钟 Clock 的相位信息(即延迟链的输出 Q[N-1:0])并锁存,经编码器编码后得到 ΔT_{start} 和

ΔT_{stop} 。Start=0 时,二输入选择器在 Start 信号选择下选择 Start 信号作为输出,当 Start 从低电平变为高电平时,由于二输入选择器的选择信号是 Start 经过缓冲器延迟后得到的,所以二输入选择器能将 Start 信号产生的上升沿输出,然后选择 Stop 信号作为输出。因此,二输入选择器的输出 DCLK 能在 Start 上升沿来临时产生一个正脉冲信号,采样延迟链的输出 Q 并锁存为 Q',经编码后得到 ΔT_{start} 。在 Stop 上升沿来临时,同理,DCLK 可以采样延迟链输出 Q,并锁存为 Q',经编码后得到 ΔT_{stop} 。编码器是一个普通的 $2^n - n$ 的优先编码器。

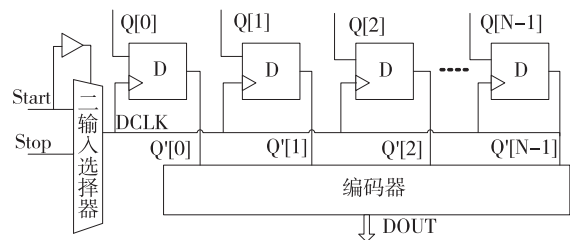


图 5 锁存-编码器结构

3.4 数据处理模块

数据处理模块的主要功能是处理 ΔT_{start} 和 ΔT_{stop} ,将 $\Delta T_{stop} - \Delta T_{start}$ 的结果作为低位输出。由于该处需要做减法,所以需要多添加一位作为符号位输出,以确定 ΔT_{stop} 与 ΔT_{start} 的大小关系。若 ΔT_{stop} 大于等于 ΔT_{start} ,符号位输出为 1,低位结果正常;若 ΔT_{stop} 小于 ΔT_{start} ,符号位输出为 0,需从图 1 中的初值计数器借位。

4 仿真验证

本设计设定外部输入时钟 Clock 为 125 MHz,数据输出为 12 位,高八位由粗值计数器计数得到,低四位中包含一位符号位和三位低位输出。设定图 3 中的 Delay 单元延迟时间为时钟周期的八分之一,共 8 个 Delay 单元。采用 Verilog HDL 语言对 TDC 电路进行了 RTL 级的描述,使用 0.18 μm CMOS 标准单元库,采用 Synopsys Design Compiler 软件将 RTL 级代码综合为门级网表,整个设计只需要大约 300 个门,面积小,功耗低。采用 VCS 进行仿真,各功能都得到了正确的实现,如图 6 所示。



图 6 VCS 验证 TDC 功能仿真波形

图 7 所示为用 Hspice 仿真得到的 TDC 延迟链延迟波形图,从图中看到校准前后每个 Delay 单元延迟时间的变化,校准后整个延迟链(包括图 4 中的缓冲器)的延迟时间刚好为外部输入时钟 Clock 的周期,其测量精度为 Delay 单元延迟时间。改变 Hspice 仿真环境,仿真不同工艺角、温度和电压,统计得到 TDC 的 DNL 小于 0.35 LSB, TDC 的 INL 小于 0.38 LSB。表 1 所示为几种 CMOS 工艺下的 TDC 电路性能的简单对比,可见本设计电路的 INL 得到了明显提高。

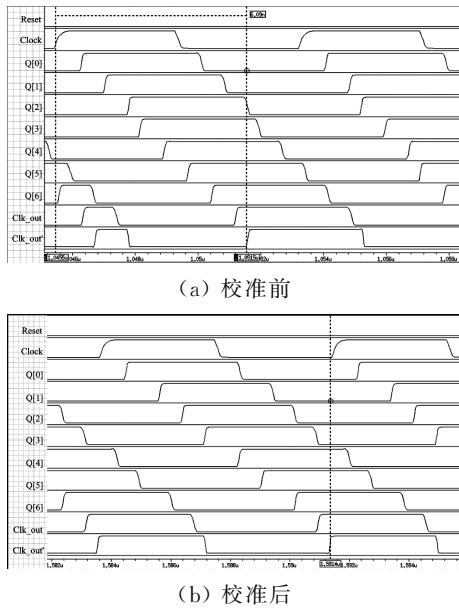


图 7 TDC 延迟链仿真波形图

表 1 TDC 性能对比

参数	本文	文献[7]	文献[8]	文献[9]
CMOS 工艺	180 nm	65 nm	90 nm	90 nm
DNL/LSB	0.35	0.5	0.8	0.6
INL/LSB	0.38	0.8	3	1.2
功耗/mW	0.3	0.01~0.15	0.3	20

5 总 结

本文参考目前 TDC 测量电路的设计方法,提出了一种具有自校准算法、结构简单、测量精度稳定的

全数字 TDC 设计方案。该方案使用四输入选择器和缓冲器构成一个可调节的延迟单元,采用校准算法后,可进行全数字流程快速设计及实现,电路的测量精度受电压、温度等因素的影响很小,可移植性强。随着 CMOS 集成电路的发展,更小线宽的器件具有更小的延迟时间,采用本文提出的 TDC 设计方案能得到更高测量精度的数字 TDC。

参 考 文 献:

- [1] 李大鹏,徐明东,陈文宣. 基于门延迟的数字 TDC 电路设计 [J]. 中国集成电路,2011, 20(7): 37-40.
- [2] HENZLER S. Time-to-digital converters [M]. Berlin: Springer Science, 2010: 5-18.
- [3] TAILLEFER C S, ROBERTS G W. Delta-sigma A/D conversion via time-mode signal processing [J]. IEEE Trans Circ Syst-I, 2009, 56(9): 1908-1920.
- [4] SWANN B K, BLALOCK B J, CLONTS L G, et al. 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications [J]. IEEE J Sol Sta Circ, 2004, 39(11): 1839-1852.
- [5] TIerno J A, RYLYAKOV A V, FRIEDMAN D J. A wide power supply range, wide tuning range, all static CMOS all digital PLL in 65 nm SOI [J]. IEEE J Sol Sta Circ, 2008, 43(1): 42-51.
- [6] 宗士新. 高分辨率数字时间转换器的设计 [D]. 硕士论文. 哈尔滨: 哈尔滨工业大学, 2012.
- [7] PARK Y M, WENTZLOFF D D, MICHIGAN A A. A cyclic vernier time-to-digital converter synthesized from a 65 nm CMOS standard library [C]// IEEE Int Symp Circ Syst. Paris, French. 2010: 3561-3564.
- [8] LEE M, ABIDI A A. A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue [J]. IEEE J Sol Sta Circ, 2008, 43(4): 769-777.
- [9] HENZLER S, KOEPPE S, KAMP W, et al. 90 nm 4.7 ps-resolution 0.7-LSB single-shot precision and 19 pJ-per-shot local passive interpolation time-to-digital converter with on-chip characterization [C] // IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA. 2008: 548-549, 635.