

适用于轻载高效 BUCK 转换器的自举电路设计

邓扬扬, 冯全源, 杨林才

(西南交通大学 微电子研究所, 成都 610031)

摘要: 提出了一种高压 Buck 转换器自举供电电路。该电路直接由芯片外部电源对自举电容充电, 具有快速响应和大驱动电流等特点, 满足大尺寸 N 型功率开关管的驱动要求。本设计适用于具有轻载高效模式的高压 Buck 转换器, 在高端和低端开关管不工作时, 能较好地对比自举电容充电, 解决了传统自举电路在低端管不工作时, 无法稳定调节自举电压的问题。采用 0.25 μm UMC 工艺库仿真, 结果显示, 只需满足输入电压要求, 即使低端开关管不工作, 且负载具有较高电压时, 该电路也能将自举电压维持在 3.6 V 以上, 提高了转换器的可靠性。

关键词: Buck; 自举电路; 自举电压; 轻载高效

中图分类号: TN433

文献标识码: A

文章编号: 1004-3365(2014)05-0592-05

Design of Bootstrap Circuit for Light-Load and High-Efficiency Buck Converter

DENG Yangyang, FENG Quanyuan, YANG Lincui

(*Institute of Microelectronics, Southwest Jiaotong University, Chengdu 610031, P. R. China*)

Abstract: A novel bootstrap circuit was proposed for high-voltage buck converter. The bootstrap capacitor was charged directly by the chip's external power. The circuit featured fast response and high driving current, meeting the driving requirements of the N-type power switch with large size. In this bootstrap circuit, even though the high-side and low-side switches did not work, the bootstrap capacitor also could be charged well. It was especially suitable for light-load and high-efficiency buck converters. The problem of the traditional bootstrap circuit can not adjust the bootstrap voltage stably while the low-side switch did not work was solved. Based on 0.25 μm UMC process, simulation results showed that as long as the input voltage was sufficient, even if the low-side switch did not work, and the load had a high voltage, the circuit could keep the bootstrap voltage above 3.6 V and improve the converter's reliability.

Key words: Buck; Bootstrap circuit; Bootstrap voltage; Light-load and high-efficiency

1 引 言

Buck(降压)型 DC-DC 转换器由于具有高效率、低功耗和大输出电流等特点, 在电子产品中被广泛应用。为了在有限的芯片面积下获得尽可能小的开关管导通电阻, 提升转换器效率, 大多数 DC-DC

转换器选择 N 型 MOSFET 作为高端开关管, 在相同面积下, 它比 P 型 MOSFET 的导通电阻小得多。但 N 型 MOSFET 作为开关管需要一个自举升压 (bootstrap) 供电电路。传统自举电路只能在低端开关管导通时, 通过内部低压电源对自举电容充电, 稳定自举电容上的电压差。一旦低端开关管长时间不工作, 内部低压电源将很难对自举电容充电。特别

收稿日期: 2013-07-17; 定稿日期: 2013-09-05

基金项目: 国家高技术研究发展计划(863 计划)重大项目(2012AA012305); 国家自然科学基金面上项目(61271090); 四川省科技支撑计划项目(2012GZ0101)

作者简介: 邓扬扬(1989—), 女(汉族), 成都人, 硕士研究生, 主要从事模拟集成电路的研究与设计。

冯全源(1963—), 男(汉族), 江西景德镇人, 博士, 教授, 博士生导师, 主要从事数字/模拟及射频集成电路设计。

杨林才(1988—), 男(汉族), 广西桂林人, 硕士研究生, 主要从事模拟集成电路的研究与设计。

是对具有轻载高效模式的转换器而言,在负载很轻时,转换器长时间进入休眠模式,高端和低端开关管都不工作,且负载电压较大时,内部低压电源将无法对自举电容充电。本文提出一种全新的高端开关管自举供电电路,直接由芯片外部的电源输入 V_{IN} 对自举电容充电,响应快,驱动能力强,在高端和低端开关管都不工作时,也能较好地对自举电容充电,特别适用于具有轻载高效模式的高压 Buck 转换器。

2 传统的高端开关管供电方案

Bootstrap 电压自举技术的基本原理是利用电容两端的电压不能瞬间突变的特性来抬高某点电位。图 1 所示为一种传统自举电路,先由 LDO 产生内部电源电压 V_{reg} ,通过二极管 D1 给自举电容 C_{BST} 充电,在低端开关管工作时, $V_{sw}=0$, $V_{BST}=5$ V。如果低端开关管长时间不工作,则 $V_{sw}=V_{out}$,此时,给高端开关管供电的自举电压为 $V_{BST}-V_{sw}=5-V_{out}$,可知, V_{out} 越大,自举电压越小,甚至为 0,导致高端开关管无法工作。为解决该问题,文献[2]中提出的自举电路由芯片外部的电源对电容充电,可以在低端开关管不工作时也能对 C_{BST} 充电,但其提出的结构缺陷较多,例如,电容由恒流源充电,充电电流较小,无法为大尺寸的开关管提供足够的栅电荷,而且,自举电压为 5 个二极管压降相加,二极管的正向压降会随温度的升高而降低,具有负温度系数,因此, V_{BST} 电压随温度的变化波动较大,使芯片的可靠性降低。

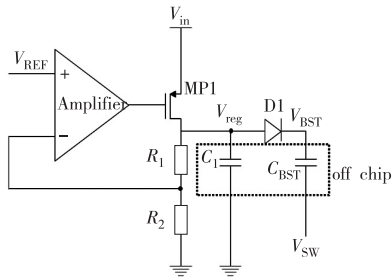


图 1 传统 DC-DC 转换器的自举电路

3 高端开关管自举供电电路

本文提出的自举供电电路,结合了线性稳压器的精确稳压值与大驱动电流特性,且引入外部电源 V_{IN} 直接对 C_{BST} 充电,通过良好的稳压器设计,实现在 V_{sw} 很高时,也能保证 $V_{BST}-V_{sw}>3$ V。

图 2 所示为设计的自举电路,图中的 MN1_

HV, MN2_HV 和 MN3_HV 是高压 NMOS, MP1_HV, MP4_HV 是高压 PMOS。首先,如图 2 左边电路所示,控制信号 CTR 为低时, MN3_HV 开启,由于齐纳二极管 Z2 的作用, V_{IN} 和 MP4_HV 的栅极压差最大为 5.5 V, MP4_HV 可以有效导通,差分对的输出通过调整 MP3 的栅极电压来改变流到 V_{BST} 的电流。控制信号 CTR 为高时, MN3_HV 截止, MP4_HV 由于栅极被拉至 V_{IN} 而截止,可完全阻断 V_{IN} 对 V_{BST} 的充电通路。

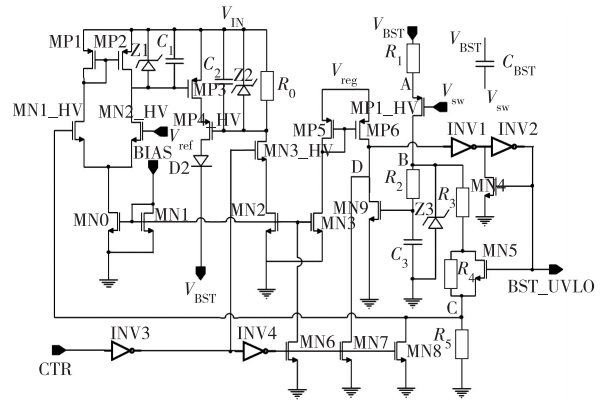


图 2 高端开关管自举供电电路

图 2 右边为线性稳压器定值电路,通过 C 点电压反馈调节到基准电压 V_{ref} ,确定 V_{BST} 的值,本设计有两个特点:1) MN9, INV1, INV2 与 MN5 组成一个正反馈的控制环路,具有迟滞功能,当 $V_{BST}-V_{sw}$ 电压较低时, V_B 较低,一旦 V_B 小于 MN9 的阈值电压, MN9 截止, INV1 输入为高, $BST_UVLO=1$, 表示 Bootstrap 电压不够; 2) V_{sw} 控制了一个高压 PMOS 管 MP1_HV 的栅极,该管位于定值电阻之间,其导通电阻受 V_{sw} 调控, V_{sw} 在 0 至 V_{IN} 之间变化时, MP1_HV 刚开始工作在线性区,很快进入饱和区,而 $V_{BST}-V_{sw}$ 的变化分为 3 个区域,下面将详细推导讨论。

3.1 自举电路的 3 个稳态区域分析

由于 V_{sw} 的初值电压不同, MP1_HV 稳态所处的工作状态也有所不同,通过 V_{IN} 对电容充电后稳态得到不同电压的 V_{BST} 。为方便分析,高压 PMOS 管 MP1_HV 的 V_{gs} , V_{ds} 和 V_{Tp} 均取正值。

根据图 2 所示,在 C 点处满足:

$$I_d = \frac{V_C}{R_5} \tag{1}$$

流过 R_5 的电流等于 I_d ,根据运算放大器虚断原理,流过 R_1 的电路也为 I_d 。由图 2 右端 V_{BST} 的充电回路得到 V_{BST} 和 B 点的电压:

$$V_{BST} = V_A + \frac{V_C R_1}{R_5} \tag{2}$$

$$V_B = \frac{V_C}{R_5} (R_3 + R_4 + R_5) \quad (3)$$

根据 V_{SW} 电压不同,下面分 3 个区讨论 V_{BST} - V_{SW} 稳定后的电压。

二区分析:如果 $V_{SW} > V_B - V_{Tp}$,此时 MP1_HV 处于饱和区,即 $V_{ds} = V_A - V_B > V_A - V_{SW} - V_{Tp}$,忽略沟道长度调制效益,得:

$$I_d = k_p (V_A - V_{SW} - V_{Tp})^2 \quad (4)$$

因此:

$$V_A = \sqrt{\frac{I_d}{k_p}} + V_{SW} + V_{Tp} = \sqrt{\frac{V_C}{R_5 k_p}} + V_{SW} + V_{Tp} \quad (5)$$

将(5)式带入(2)式,得到:

$$V_{BST} = \sqrt{\frac{V_C}{R_5 k_p}} + V_{SW} + V_{Tp} + \frac{V_C R_1}{R_5} \quad (6)$$

$$V_{BST} - V_{SW} = \sqrt{\frac{V_C}{R_5 k_p}} + V_{Tp} + \frac{V_C R_1}{R_5} \quad (7)$$

根据运算放大器虚短的原理, $V_C = V_{ref}$, (7) 式中 R_1, R_5 由电路设计决定, k_p 由工艺决定,那么此时, $V_{BST} - V_{SW}$ 电压差为常量。故只要 $V_C = V_{ref}$, 不管 V_{SW} 为何值, V_{BST} 一定比 V_{SW} 高一个固定值。事实上,该电路是 V_{IN} 对 V_{BST} 充电, V_{BST} 受到如下限制:

$$V_{BST} < V_{IN} - V_{diod} \quad (8)$$

三区分析:随着 V_{SW} 进一步增大,为了保证(8)式成立,(7)式中 V_C 将小于 V_{ref} ,即负反馈已经无法将 V_C 调整到 V_{ref} ,由(7)式知 $V_{BST} - V_{SW}$ 电压会随着 V_C 的下降而线性下降,即 $V_{BST} - V_{SW}$ 随着 V_{SW} 的上升而线性地下降。

一区分析:如果 V_{SW} 足够低,使得 MP1_HV 进入深线性区,即 $V_{ds} \ll 2(V_{gs} - V_{Tp})$,漏电流 I_d 可近似表示为:

$$I_d \approx k_p (V_{gs} - V_{Tp}) V_{ds} = k_p (V_A - V_{SW} - V_{Tp}) (V_A - V_B) \quad (9)$$

将(1)式带入(9)式,得:

$$V_A^2 - V_A (V_{SW} + V_{Tp} + V_B) + V_B (V_{SW} + V_{Tp}) - \frac{V_C}{k_p R_5} = 0 \quad (10)$$

考虑到 $V_{SW} \ll V_{Tp}$ (负值舍去),因此:

$$V_A = \frac{V_{Tp} + V_B}{2} + \sqrt{\frac{(V_{Tp} + V_B)^2}{4} + \frac{V_C}{k_p R_5} - V_B V_{Tp}} \quad (11)$$

将(11)式带入(2)式得到:

$$V_{BST} = \frac{V_{Tp} + V_B}{2} + \sqrt{\frac{(V_{Tp} + V_B)^2}{4} + \frac{V_C}{k_p R_5} - V_B V_{Tp}} + \frac{V_C R_1}{R_5} \quad (12)$$

此时负反馈将 V_C 调整到 V_{ref} ,由(3)式可知, V_B 由 R_3, R_4, R_5 取值决定,在 $V_{SW} \ll V_{Tp}$ 时,可通过调整电阻比例将 V_{BST} 调整到 5.0 V。

3.2 Bootstrap 之 UVLO 分析

随着 V_{IN} 给自举电容充电, $V_{BST} - V_{SW}$ 增大, V_B 增大,当 V_B 达到 MN9 的开启电压时, D 点电压被拉低, BST_UVLO 信号为低,产生一个使能有效信号。由于 MN5 的作用, BST_UVLO 的高低电平跳变会产生迟滞。

当 $V_{BST} - V_{SW}$ 由高变化到低时,在跳变瞬间 MN5 是关断的,对 MN9 而言,有如下关系:

$$V_B = \frac{V_C (R_5 + R_4 + R_3)}{R_5} = V_{Tn} \quad (13)$$

因此:

$$V_C = \frac{V_{Tn} R_5}{R_3 + R_4 + R_5} \quad (14)$$

将(14)式带入(7)式中,得 BST_UVLO 的跳变电压:

$$V_{BST} - V_{SW} = \sqrt{\frac{V_{Tn}}{(R_3 + R_4 + R_5) K_p}} + V_{Tp} + \frac{V_{Tn} R_1}{R_3 + R_4 + R_5} \quad (15)$$

当 $V_{BST} - V_{SW}$ 由低变化到高时,在跳变的瞬间 MN5 是打开的,因此在(13)、(14)、(15)式中均没有 R_4 项, UVLO_OUT 的跳变门限会比(15)式大。

4 仿真结果

基于 0.25 μm UMC 工艺,采用 Hspice 工具,对电路进行仿真实验。图 3 所示为 $V_{SW} = 0$ V 时 V_{BST} 电压的仿真波形。可知,只要 $V_{IN} > 6$ V 就能把 V_{BST} 升高到 5.07 V,此时, V_{BST} 电压足以使 N 型功率开关管导通。

图 4 所示为 DC 扫描 V_{SW} 电压仿真波形, $V_{IN} = 16$ V。一区中, $V_{BST} - V_{SW}$ 与 V_{SW} 是线性关系,当 $V_{SW} = 0$ 时, $V_{BST} - V_{SW} = 5$ V,此为多数应用出现的情况;二区中, $1 \text{ V} < V_{SW} < 11 \text{ V}$, $V_C = V_{ref} = 1.46$ V, $V_{BST} - V_{SW} = 3.9$ V 且不随 V_{SW} 变化而变化;三区中, $V_{BST} - V_{SW}$ 随着 V_{SW} 的上升而线性下降,与前面分析一致。当 $V_{SW} = 12$ V 时, $V_{BST} - V_{SW} = 3.6$ V,即 $V_{IN} - V_{SW} > 4$ V 时,有 $V_{BST} - V_{SW} > 3.6$ V。可

见,只要 V_{IN} 电压足够,空载时(开关管不工作),即使 V_{SW} 有较高电压也能给 V_{BST} 充电至更高的电位,且此时 $V_{BST} - V_{SW}$ 电压已足够使 N 型功率开关管导通。

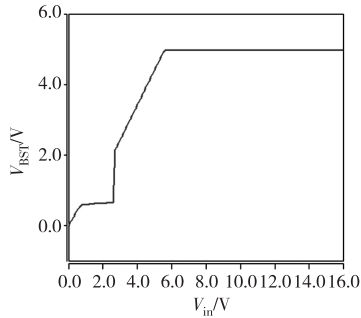


图 3 $V_{SW} = 0$ V 时, V_{BST} 仿真波形

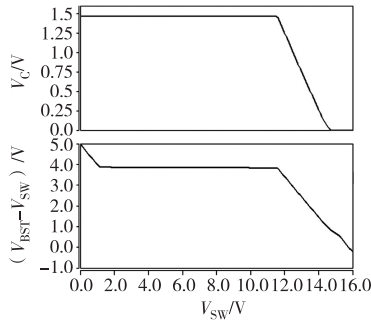


图 4 V_{SW} 电压仿真波形

图 5 和图 6 所示分别为 BST_UVLO 上升和下降跳变门限仿真波形。随着 V_{SW} 电压变化, $V_{BST} - V_{SW}$ 的变化分为 3 个区域,而 BST_UVLO 设置在第 3 个区域。当 $V_{BST} - V_{SW}$ 电压从 0 上升 5 V 时,门限是 2.53 V;当 $V_{BST} - V_{SW}$ 电压从 5 V 下降到 0 时,门限是 2.19 V,迟滞 340 mV。

图 7 所示为在 $V_{IN} = 12$ V 时, V_{BST} 负载响应仿真波形。负载在 1 μ s 内从 0.5 mA 上升到 5 mA,可以看出 V_{BST} 变化很小。图 8 所示为该自举电路的开环增益和相位的仿真波形。在 $V_{IN} = 12$ V 时,开环增益为 79 dB,相位裕度为 60° 。

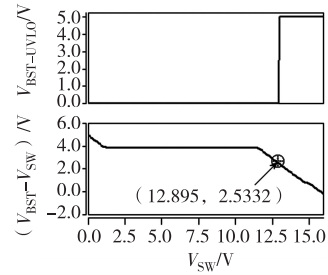


图 5 BST_UVLO 上升门限仿真波形

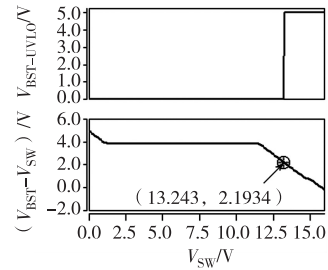


图 6 BST_UVLO 下降门限仿真波形

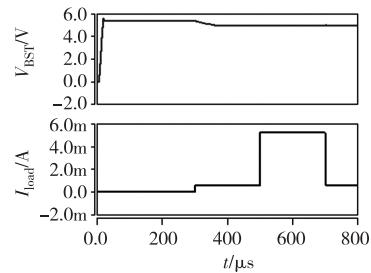


图 7 V_{BST} 负载响应仿真波形

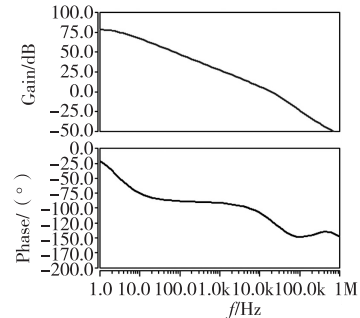


图 8 开环增益和相位仿真波形

表 1 与参考文献的性能对比

参数	文献[1]	文献[2]	本文
工艺	0.35 μ mBCD	0.6 μ mBCD	0.25 μ mBCD
自举电压随温度波动范围	2.5 V~5 V	4 V~4.5 V	5 V
自举电压值, $V_{IN} = 12$ V, $V_{SW} = 3.3$ V	5 V	1.7 V	5 V
负载响应	慢	快	快

表 1 是本文得到的结果与参考文献对比情况。本文的优势在于既能得到不随温度变化的自举电压值,又能在 V_{SW} 有初值电压时,也能得到同样的自举电压值,而且负载响应迅速。

5 结 论

提出了一种由芯片外部的电源输入 V_{IN} 对电容

充电的自举电路,解决了传统自举电路在低端开关管不工作时,且 V_{sw} 具有初值电压情况下无法稳定调节 Bootstrap 电压($V_{BST} - V_{sw}$)的问题,特别适用于具有轻载高效模式的 Buck 转换器。该电路具有快速响应和大驱动电流特点,满足大尺寸 N 型功率开关管的驱动要求。该电路还具有检测 Bootstrap 电压的欠压锁功能,当 Bootstrap 电压较低时,锁定转换器,让其停止工作,而后等待 Bootstrap 电压上升至足够高时,再让转换器工作,可靠性较高。

参考文献:

[1] 李冬超,戴庆元,林刚磊,等. 一种应用于 DC/DC 转

换器的自举电路设计 [J]. 电子器件, 2009, 32(1): 77-80.

[2] ZHOU Z K, MING X, ZHANG B, et al. Design of novel bootstrap driver used in high power BUCK coverter [C] // IEEE 8th Int Conf ASIC. Xiamen, China. 2009: 1165-1168.
 [3] GRACZKOWSKI J J, NEFF K L, KOU X. A low-cost driver design using bootstrap capacitors for multilevel MOSFET inverters [C] // IEEE 5th Int Conf IPEMC. Shanghai, China. 2006: 1-5.
 [4] 潘华兵, 来新泉. 一种适于低压高频 DC-DC 的自举 BiCMOS 驱动电路 [J]. 电子设计应用, 2004(8): 95-97.

(上接第 591 页)

表 4 静态特性

参数	数值
DNL(MAX)/LSB	0.102
DNL((MIN)/LSB	-0.399
INL(MAX)/LSB	0.580
INL(MIN)/LSB	-0.581

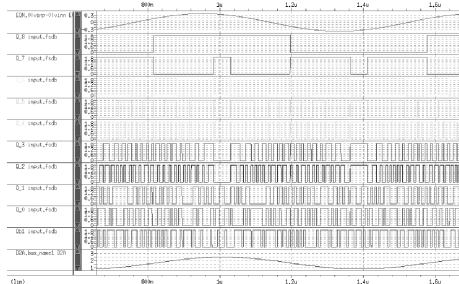


图 14 整体仿真结果

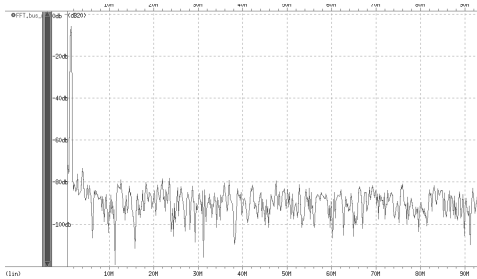


图 15 输出功率谱密度

表 5 动态特性

参数	数值	参数	数值
ENOB	8.945	THD /dB	-59.55
SNDR /dB	55.61	SFDR /dB	62.78
SNR /dB	58.31		

6 结束语

本文实现了一种 10 位 200 MHz 流水线 ADC, 采用了 1.5 位每级电路结构, 实现了两级间的运算共享电路设计, 并采用了新的改进数字校正电路。整体电路的仿真结果显示, 该 ADC 可获得 8.9 位有效位, 具有较小的 INL 和 DNL, 整体性能符合通信和高清数字电视等应用领域的要求。

参考文献:

[1] 郭树田. 数据转换器发展近况 [J]. 微电子学, 1998, 28(4): 224-232.
 [2] RAZAVI B. Principle of data conversion system design [M]. New York: Wiley-IEEE Press, 1995.
 [3] YU P C, LEE H S. A high-swing 2-V CMOS operational amplifier with replica-amp gain enhancement [J]. IEEE J Sol Sta Circ, 1993, 28(12): 1265-1272.
 [4] LEWIS S H, GRAY P R. A pipeline 5-Msample/s 9-bit analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1987, 22(6): 954-961.