一种高速LVDS驱动电路

五号黑体

小五号宋体

五号楷体

二号黑体

张俊安1，杨毓军2，俞 宙1，张瑞涛1，付东兵1，余金山1,3

(1. 模拟集成电路重点实验室, 重庆 400060；2. 中国电子科技集团公司 第二十四研究所, 重庆 400060；
3. 国防科技大学, 长沙 410073)

摘 要： 介绍了一种采用0.18 μm CMOS工艺制作的高速(500 MHz)LVDS驱动电路。分析了开关时序和共模反馈对电路的影响，采用开关控制信号整形电路和基于“主-从”结构的共模设置电路，得到适当的开关时序和较好的共模电平设置，使LVDS输出电路具有更小的过冲电压和更稳定的共模电平。该LVDS驱动电路用于1 GHz 14位高速D/A转换器芯片。样品电路测试表明，输出速率在500 MHz时，LVDS驱动电路的指标满足IEEE-1596 reduced range link标准。

四号加粗

Times New Roman

五号黑体

关键词： LVDS驱动电路；高速接口电路；共模反馈；模拟集成电路

中图分类号：TN432 文献标志码： A 文章编号：1004-3365(2018)03-xxxx-xx

 **DOI：**10.13911/j.cnki.1004-3365.170xxx

A High-Speed and Low-Voltage Differential Signaling Driver

五号Times New Roman

ZHANG Jun’an1, YANG Yujun2, YU Zhou1, ZHANG Ruitao1, FU Dongbing1, YU Jinshan1, 3

(1. Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China; 2. Sichuan Institute of Solid-State Circuits, China Electronics Technology Group Corp., Chongqing 400060, P. R. China; 3. University of Defense Technology, Changsha 410073, P. R. China)

小五号

Times New Roman

Abstract： A high-speed and low-voltage differential signaling (LVDS) driver based on 0.18 μm CMOS IC process was presented. Effect of switch timing and common mode feedback on the circuit was analyzed. A switch control signal shaping circuit and a common-mode voltage setting circuit based on master-slave structure was used to obtain proper switch timing and better common-mode voltage setting, which reduced overshoot caused by switch control signal and made common-mode voltage more stable. The LVDS driver was integrated in a 1 GHz 14-bit D/A converter as a sub-circuit. The DAC chip was fabricated, and test results showed that, at 500 MHz I/O update rate, the LVDS driver satisfied the requirements of IEEE-1596 reduced range link standard.

小五号

Times New Roman

**Key words**： LVDS driver; High-speed interface circuit; Common-mode feedback; Analog IC

一级标题四号仿宋

0 引 言

随着半导体工艺的发展，晶体管的特征尺寸不断下降，数字或混合信号CMOS集成电路芯片内部的工作速度已经达到几百MHz到几GHz的数量级。由于芯片的集成度高，内部元件及单元电路之间的距离近、连线短、寄生参数小，芯片内部数据的传输、处理可以采用CMOS电平信号。但是，在高速数据接口方面，由于内部信号要经过封装键合线、PCB板上的连线以及通孔，才能与其他芯片连接，如果采用CMOS电平作为输出接口，则各种寄生参数会导致数据的上升/下降时间以及多路数据之间的同步匹配等严重恶化。因此，一般采用CMOS电平作为数据接口，速度都在200 MHz以下。

正文一律五号宋体

LVDS(Low-Voltage Differential Signaling)电路是一种具有低电平电压摆幅差分信号传输结构的电路。具有工作时驱动电流恒定、低功耗、低EMI、抗噪声干扰等特点，其工作频率最高可达几GHz。因此，LVDS电平已经成为高速数字或混合信号电路最常用的接口方式[1]。

文章第1节主要介绍LVDS驱动电路的设计背景和基本原理，分析开关时序和共模反馈对电路的影响；第2节介绍LVDS驱动电路中开关控制信号整形电路和基于“主-从”结构的共模设置电路；第3节介绍电路仿真和测试结果；第4节给出结论。

1 LVDS输出驱动电路的设计背景和基本原理

二级标题五号黑体

1.1 LVDS输出驱动电路的设计背景

本文介绍的LVDS驱动电路应用于1 GHz 14位D/A转换器芯片，电路功能框图如图1所示。外部输入D/A转换器的时钟信号通过一个÷2除法器，产生一个500 MHz的CMOS电平信号，为数字部分提供需要的时钟。LVDS驱动电路的作用是将分频后500 MHz CMOS电平的时钟转换为LVDS电平的时钟输出。系统用户可以使用该LVDS时钟作为CPU/ FPGA的时钟，或者作为数据同步信号，实现14位1 GHz D/A转换器数字部分与外部CPU/FPGA的时钟同步。设计要求输出的LVDS电平时钟信号与IEEE-1596 reduced range link标准兼容[1]。

图形尺寸

*W*＜8 cm



图题

小五号宋体

图1 LVDS驱动电路的应用

1.2 LVDS输出驱动电路的基本原理

在图2所示的LVDS驱动电路中，ph1、ph11信号与ph2、ph22信号相位相反。这样的CMOS电平信号作用于四个MOS开关，使mp42和mn5导通时mp41和mn4截止，反之亦然。当outp和outn之间通过传输连线接一个负载电阻*RL*(在接收端，阻值100 Ω)时，电流源中的电流会随着开关状态的不同从outn端通过负载电阻流向outp端，反之亦然。这样就产生了LVDS电平的输出。图2中，在驱动电路的outn到outp端串联连接两个阻值相等的电阻(100 Ω)。这种结构一般在高速LVDS结构中使用，目的是为了和接收端的负载电阻(100 Ω)实现阻抗匹配，减少回波干扰。

设计中，需要考虑的是mp42和mn4不能同时导通，否则会让电流源和电流沉瞬间短路，在LVDS输出波形上产生一个很大的过冲。因此，在实际设计中，如图2所示，ph11要先为低电平，将mn4关闭，然后，ph1才为低电平，让mp42导通，反之亦然。由于开关时序非常重要，本文在电路设计时采用了一种开关控制信号整形电路来实现时序的要求。



图2 LVDS驱动电路基本结构



图3 LVDS差分输出电压摆幅计算原理

如图3所示，根据电流源和电流沉节点的电流情况，可以得出：

  （1）

式（1）对应电流沉节点。

 （2）

式（2）对应电流源节点。

式（1）+式（2），整理后可得：

 （3）

当时，可以得到差分输出电压摆幅：

 （4）

对于本设计，，，可得：

*V*H－*V*L = 200 mV （5）



图4 共模检测电路和共模反馈原理

LVDS驱动电路通常采用共模反馈电路来稳定LVDS电平的输出共模电压。一般的做法是通过共模检测电路提取出LVDS驱动电路的共模电压*V*cm和参考共模电压*V*cm\_REF的差值，然后通过反馈结构调整电流源或者电流沉的值来稳定输出共模电压。目前常用的两种共模电压检测结构如图4所示：一种是通过在两个输出端串接两个100 kΩ左右的大电阻[2-4]，从中间抽头提取共模电压；另一种是通过两个MOS差分对直接提取共模电压和参考共模电压*V*cm\_REF的差值[5]。这两种常用结构有三个缺点：

1）两种结构在提取共模电压时都要连接到LVDS的两个输出端，所以会加大输出端节点的寄生电容，降低LVDS驱动电路的工作频率。

2）两种结构都是直接在输出端提取共模电压，而输出端的共模电压在开关切换的过程中会产生一个跳动电压，这一跳动电压会增加共模反馈回路的稳定时间和影响共模电压稳定效果，甚至影响差模信号的摆幅。如果将这一跳动电压用大电容滤掉，则会增加反馈环路频率补偿的复杂度，并且大大增加整个电路的芯片面积。

3)两种结构的整个共模反馈环路中有周期开闭的开关，只有在开关闭合形成稳定环路后，共模反馈环路才能起作用，这就更进一步增加了反馈环路频率补偿的难度。

在电路设计时，针对这三个缺点，提出了一种基于“主-从”(master-slave)结构的共模设置电路，成功地解决了这三个问题。

2 高速LVDS驱动电路关键单元电路设计

2.1 开关控制信号整形电路设计

开关控制信号整形电路具有CMOS电平信号过零点调节和开关控制信号整形两种功能。

如图5所示，in\_n和in\_p为相互反相的一对CMOS电平输入信号，如果两路信号存在延时，则少许的不一致也会导致过零点不在高、低电平的中点。过零点位置离中点较远会影响后级整形电路的效果，所以，在开关信号进入整形电路前需要对过零点进行微量调节。如图5虚框所示，在两路CMOS输入的第2级和第3级非门之间加入两组反向相接的非门(正反馈)，可以改善两路输入信号的过零点。电路实现时，正反馈中非门的*W*/*L*远小于信号通路中非门*W*/*L*(如图5中标示的*W*/*L*值)，所以该调节电路只对过零点进行微小的调节。调节效果如图6所示。



图5 开关控制信号整形电路原理

图6 过零点调节电路效果

图5中的*I*1，*I*2完成开关输入信号的整形功能。 *I*1，*I*2的电路结构和整形效果如图7所示。具体工作原理为：在输入信号(in)从低电平向高电平变化时，由于mn25先导通，所以ph11(mn25的漏极)先向低电平变化，由于mp21后截止，所以ph1(mp21的漏极)后向低电平变化；在输入信号(in)从高电平向低电平变化时，由于mp21先导通，ph1(mp21的漏极)先向高电平变化，由于mn25后截止，ph11(mn25的漏极)后向高电平变化。这样就满足了第2.2节介绍的对LVDS开关时序的要求。

图7 开关控制信号整形电路结构及效果

2.2 基于“主-从”结构的共模设置电路

基于“主-从”(master-slave)结构的共模设置电路原理如图8所示，由LVDS驱动电路(master)、“slave”结构的共模电压“模拟”及共模反馈电路、共模电压产生电路、共模电压设置电路以及偏置电流输入电路组成。该结构的最主要特点是将共模反馈功能分成两部分来实现。

图8 基于“主-从”结构的共模设置电路原理

第一，通过单位反馈的运放A2，直接设置LVDS驱动电路中的阻抗匹配电阻*R*c之间的共模电平。

第二，通过 mp0和mn1以及通路上的电阻和MOS管“模拟”右边LVDS驱动电路的开关、阻抗匹配电阻及负载电阻(图8未画出)，mp0电流相对于mp1电流按比例缩小(1∶5)，而且右边的电阻阻值及MOS管尺寸都按比例调整，相当于利用右边“slave”电路的小电流工作状态“模拟”左边“master”LVDS驱动电路的大电流的工作状态。可以认为，“slave”结构的共模电压相当于“master”结构的共模电压，利用“slave”结构的共模电压以及运放A1、mp0组成的共模反馈回路调节mp9流过的电流，通过电流镜最终调节LVDS驱动电路中电流源mp1的电流。

采用这种“主-从”结构的共模设置电路具有如下优点：

1) 在设置共模电压时，没有与LVDS的两个输出端发生直接连接关系，阻抗匹配电阻*R*c之间的共模点对差模信号来说相当于“虚地”，不影响差模信号工作。

2) 共模反馈电路采用“slave”结构的共模电压，该电压是直流稳定电压，所以不会对反馈环路的稳定时间和稳定效果造成影响，频率补偿也相对简单，而且滤波电容的面积也可以节省。

3) 由于整个共模反馈反馈环路中没有工作于周期开闭的开关，共模反馈环路更稳定，环路频率补偿的难度较小。

综上所述，本文介绍的“主-从”结构共模设置电路完全解决了第2.2节中共模反馈结构的问题。

3 电路仿真和测试结果

3.1 LVDS驱动电路仿真结果

设计的LVDS驱动电路基于0.18 μm CMOS工艺的PDK，输入625 MHz的CMOS电平方波信号，对LVDS驱动电路在电源、温度、工艺角变化的20种情况进行了工艺角仿真(PVT仿真)。仿真结果如图9 所示；典型仿真参数和PVT仿真参数分别列于表1和表2。



图9 LVDS驱动电路工艺角仿真

表**1** 典型模型参数仿真结果**(25 ℃)**

|  |  |  |
| --- | --- | --- |
| 参数 | 符号 | 仿真结果 |
| 输出高电平电压/V | *V*OH | 1.301表格小五号宋体 |
| 输出低电平电压/V | *V*OL | 1.073 |
| 输出电压摆幅/mV | *V*OD | 228 |
| 输出共模电压/V | *V*OS | 1.187 |
| 上升时间/ps | *t*rise | 64.5 |
| 下降时间/ps | *t*fall | 66.8 |

表**2 PVT**参数仿真结果

|  |  |  |
| --- | --- | --- |
| 参数 | 条件 | 仿真结果 |
| 最短上升时间 | fast\_best模型，-40 ℃，电源偏差+5% | 42.5 ps |
| 最短下降时间 | 106.3 ps |
| 最长上升时间 | slow\_worst模型，125 ℃，电源偏差-5% | 52.4 ps |
| 最长下降时间 | 97.1 ps |
| 最小差模电压 | fast\_best模型，-40 ℃，电源偏差+5% | 217 mV |
| 最大差模电压 | fastn\_slowp模型，125 ℃，电源偏差+5% | 243 mV |
| 共模电压范围 | 电源偏差+5%，共模电压1.254～1.244 V |
| 电源偏差-5%，共模电压1.133～1.124 V |

3.2 LVDS驱动电路单元测试结果

对第2.1节介绍的1 GHz 14位D/A转换器电路进行流片，对样品电路LVDS驱动部分的参数进行测试。在500 MHz频率下，LVDS输出端接FPGA(内部100 Ω负载)，用示波器对LVDS输出端进行测试。测试结果列于表3。

表3 LVDS驱动电路参数测试结果(25 ℃)

|  |  |  |
| --- | --- | --- |
| 参数 | 符号 | 仿真结果 |
| 输出高电平电压/V | *V*OH | 1.28 |
| 输出低电平电压/V | *V*OL | 1.07 |
| 输出电压摆幅/mV | *V*OD | 210 |
| 输出共模电压/V | *V*OS | 1.17 |
| 上升时间/ps | *t*rise | 370 |
| 下降时间/ps | *t*fall | 350 |

从测试结果可以看出，电平参数与仿真结果相差不大，而上升下降时间与仿真结果差别较大。这可能是由于负载电阻在FPGA内部，有引线电感；而且PCB板连线和示波器测试探头的寄生参数，以及探头有限的带宽，都会对测试结果有一定影响。

4 结 论

介绍了LVDS驱动电路的基本原理，重点分析了LVDS驱动电路对开关控制信号时序的要求和常见的两种共模反馈电路的缺点。根据时序要求，设计了一种开关输入驱动整形电路，提出一种基于“主-从”结构的共模设置电路，解决了常见共模反馈电路的问题。本文介绍的LVDS驱动电路作为单元电路在1 GHz 14位D/A转换器中进行流片和测试。测试结果显示，本文介绍的LVDS驱动电路的参数满足IEEE-1596 reduced range link标准。

参 考 文 献：

[1] IEEE Standard for low-voltage differential signals (LVDS) for scalable coherent interface (SCI), 1596.3 SCI-LVDS Standard [S]. IEEE Std 1596.3-1996, 1996.

[2] BONI A, PIERAZZI A, VECCHI D. LVDS I/O interface for Gb/s per-pin operation in 0.35-μm CMOS [J]. IEEE J Sol Sta Circ, 2001, 36(4): 706-711.

[3] CHEN M. SILVA-MARTINEZ J, NIX M, et al. Low-voltage low-power LVDS drivers [J]. IEEE J Sol Sta Circ, 2005, 40(2): 472-479.

[4] RIVERA A, BRAVO E, JIMENEZ M, et al. Design review and innovations in low-voltage differential signaling drivers [C] // The 2004 47th Midwest Symp Circ & Syst. Hiroshima, Japan. 2004: 339-342.

[5] GUPTA H S, PARMAR R M, DAVE R K, et al. High speed LVDS driver for SERDES [C] // Int conf ELECTRO. Varanasi, India. 2009: 92-95.

中文：

小五号 宋体

英文：

小五号Times New Roman